Obsah

1 Úvod **3**

2 Přehled a historie obvodů **4**
2.1 Počátky vývoje integrovaných obvodů 4
2.2 Stručný přehled technologií obvodů 4

3 Základy elektrotechniky **6**
3.1 Polovodiče 6
3.1.1 Nevlastní polovodiče 6
3.1.2 Diodový jev a polovodičová dioda 7
3.1.3 Bipolární tranzistor 7
3.1.4 Unipolární tranzistor 8

4 Technologie obvodů **9**
4.1 Bipolarní technologie a jejich vlastnosti 9
4.1.1 Technologie DTL 9
4.1.2 Technologie TTL 10
4.1.3 Technologie STTL a LSTTL 14
4.1.4 Technologie ECL 16
4.1.5 Technologie IIL a IIIL 19
4.2 Unipolární technologie 21
4.2.1 Unipolární tranzistory 21
4.2.2 Technologie PMOS 23
4.2.3 Technologie NMOS 24
4.2.4 Technologie HMOS, HMOSII a HMOSIII 25
4.2.5 Technologie CMOS 25
4.2.6 Technologie SOS a SOI 27
4.2.7 Technologie FAMOS 28
4.2.8 Technologie FLOTOX 30
4.2.9 Technologie CCD 31
4.3 Technologie BiCMOS 31

5 Literatura **34**

Seznam obrázků

1 Struktura diody [12] . . . 7
2 Bipolární tranzistor [22] . . . 8
3 Základní hradlo NAND systému DTL [20] . . . 10
4 Elementární prvek TTL [6] . . . 11
5 TTL s otevřeným kolektorem [6] . . . 12
6 Třístavové hradlo NAND [20] . . . 13
7 Průběh napětí z TTL [11] . . . 13
8 Trazistor s Schottkyho diodou [13] . . . 14
9 Hradlo NAND technologie STTL [10] . . . 15
10 Základní prvek obvodu ECL [13] . . . 16
11 Závislost ECL na odporu R_C [3] . . . 18
12 Základní prvek obvodů I^2L [10] . . . 19
13 Logické funkce u I^2L [10] . . . 19
14 Závislost proudu a rychlosi u technologie I^2L [2] [9] . . . 20
15 MOS s ochuzováním kanálu N [10] . . . 22
16 MOS s obohacováním kanálu P [10] . . . 22
17 PMOS invertor [20] . . . 23
18 Logický člen PMOS [8] . . . 24
19 CMOS invertor [4] . . . 26
20 Zapojení NAND technologie CMOS [4] . . . 26
21 Napěťové úrovně CMOS ve srovnání s TTL [1] . . . 27
22 Schematická značka FAMOS [10] . . . 29
23 Struktura elementární buňky FAMOS [10] . . . 29
24 Struktura buňky FLOTOX [10] . . . 30
25 Trojfázový systém CCD [10] . . . 31
26 BiCMOS invertor [15] . . . 32
27 Průběh napětí BiCMOS [15] . . . 33

Seznam tabulek

1 Technologie TTL [16] . . . 5
2 Rodiny CMOS [16] . . . 5
3 Napěťové úrovně technologie TTL [11] . . . 14
4 Srovnání technologií TTL [14] . . . 16
5 Srovnání technologií ECL [3] . . . 18
6 Srovnání vlastností rodiny technologie CMOS [17] . . . 28
7 Porovnání bipolárních a unipolárních technologií . . . 28
8 Napěťové úrovně technologie BiCMOS [15] . . . 33

1 Úvod

Ve své diplomové práci se zabývám technologiemi výroby číslicových obvodů. Jedná se o velmi rozsáhlé téma, proto se budu snažit podávát jejich vysvětlení co nejstručněji tím způsobem, abych v závěru mohl shrnout nejdůležitější technologie a jejich vlastnosti, které by každý absolvent informatiky měl znát. Je totiž velkou chybou, když studenti považují integorvaný obvod za „černou skříňku“, od níž znají pouze vstupní a výstupní chování.

V kapitole *Přehled a historie obvodů* se zabývám historií technologie výroby číslicových obvodů, tedy od vyrobení prvního obvodu až po současně nejpoužívanější technologie a pro úplnost uvádím i jejich přehled.

Další kapitola *Základy elektrotechniky* poskytuje minimální fyzikální základ z oblati polovodičové techniky a vysvětluje základní pojmy tak, aby byl čtenář schopen pochopit text následujících kapitol.

Popis jednotlivých technologií následuje v kapitole *Technologie obvodů*. Je rozdělena na dvě části podle základního dělení technologií na bipolární a unipolární technologie. Vysvětlení je založeno na obrázcích a schématech vnitřního zapojení jednotlivých technologií. Tyto podkapitoly jsou pak uspořádány od prvích technologií výroby číslicových obvodů až po dnes nejpoužívanější.

Poslední částí mé diplomové práce je *Souhrn technologií*. Jedná se o jakýsi „výtažek“ vytvořený z textu předchozí kapitoly, který by měl sloužit pro potřebu školy jako studijní materiál pro posluchače fakulty informatiky.

2 Přehled a historie obvodů

2.1 Počátky vývoje integrovaných obvodů

V polovině 20. století dochází k výraznému zlomu v oblasti elektroniky. V té době měli inženýři v rukou malý a efektivní tranzistor, kterým mohli nahradit vakuové elektronky a se kterým viděli možnost konstrukce mnohem lepších obvodů než před tím. Avšak jak rostla složitost obvodů, začaly se objevovat problémy. V té době se obvody pájely ručně a propojovaly se drátky, a tak bylo téměř nemožné vytvořit složitý počítač bez toho, aniž by nedošlo ke znehodnocení obvodu nebo vytvoření chybného spojení.

Dalším problémem byl rozměr obvodů. Spletitý obvod, jako počítač, byl závislý na rychlosti. Ale jestliže obvody byly příliš velké nebo propojovací drátky příliš dlouhé, nemohl elektrický signál procházet rychle obvodem a tak byl výsledný obvod příliš pomalý.

Dalším problémem byl počet komponent na obvodu. Vyrobit vyspělejší obvody obsahující mnoho komponent a spojení bylo prakticky nemožné. Tento problém byl známý pod pojmem *tyrany of numbers*.

Proto se miniaturizací obvodů začala zabývat firma Texas Instruments a tímto projektem byl pověřen Jack Kilby. Po dlouhé samostatné práci v labolatoři ho napadla myšlenka umístit všechny prvky obvodu na jednu destičku polovodiče. V září 1958 vyrobil první integrovaný obvod, který byl tvořen miniaturními rezistory, kondenzátory, diodami a tranzistory na jedné křemíkové destičce. Vzájemné propojení bylo provedeno drátky. I přes všechnu jednoduchost tento obvod pracoval výborně.

Asi o půl roku později přišel Robert Noyce, tehdy zaměstnanec Fairchild Semiconductors, s myšlenkou vlastního integrovaného obvodu, který řešil problémy Kilbyho obvodu. Hlavním problémem bylo totiž propojení komponent na čipu. Noyce to vyřešil tak, že vytvořil spoje fotografickou cestou a leptáním hliníkové fólie, a tak byl obvod lépe přizpůsoben tovární výrobě. Robert Noyce odešel z Fairchild Semiconductors a spolu s dalšími průkopníky výroby integrovaných obvodů založil firmu Intel, která se stala jedním z největších výrobců integrovaných obvodů na světě.

Jack Kilby zůstal u firmy Texas Instruments, stal se jedním z nejprosnulejších vynálezců integrovaných obvodů a v roce 2000 získal Nobelovu cenu za fyziku [19].

2.2 Stručný přehled technologií obvodů

Po roce 1959 došlo k revoluci v oblasti technologie výroby integrovaných obvodů. V roce 1962 jako první uvádí Beeson bipolární technologii TTL, která se stala po dlouhou dobu velmi užívanou technologií a na které bylo založeno mnoho dalších technologií. Obvody této technologie byly známy jako série 74 a pro armádní účely byla vyráběna série 54 s větším rozmezím pracovní teploty. Přehled jednotlivých technologií a jejich označení je v tabulce 1.

Dalšími bipolárními technologiemi jsou ECL(Emitor Coupled Logic), jejíž obvody jsou jedny z nejrychlejších a IIL (Integrated Injection Logic), která umožňuje vysokou hustotu integtrace a má nízké napěťové požadavky a dobrou rychlost.Tyto technologie však nejsou přímo slučitelné s TTL obvody.

název technologie	zkratka	značení obvodů
Standart Tranzistor Tranzistor Logic	TTL	74
Low-power TTL	LTTL	74L
High-speed TTL	HTTL	74H
Schottky TTL	STTL	74S
Low-power Schottky TTL	LSTTL	74LS
Advanced Schottky TTL	ASTTL	74AS
Advanced Low-power Schottky TTL	ALSTTL	74ALS
Fast TTL	FTTL	74F

Tabulka 1: Technologie TTL [16, str. 136]

Později firma Intel uvedla na trh unipolární technologie PMOS a NMOS, ze kterých se za krátkou chvíli vyvinuly technologie HMOS a CMOS. Technologie HMOS (Hight Performance) byla v podstaně technologie NMOS s dokonalejšími výrobními postupy.

seriové značení obvodů	stručný popis
4000	CMOS s nízkou spotřebou
74C	CMOS slučitelné s TTL
74HC	CMOS s vysokou rychlostí
74HCT	74HC slučitelné s TTL
74AC	Advanced CMOS
74ACT	74AC slučitelná s TTL
74FCT	Fast CMOS slučitená s TTL

Tabulka 2: Rodiny CMOS [16, str. 142]

V roce 1963 byla uvedena dnes nejpoužívanější technologie CMOS (Complementary MOS), která vznikla kombinací technologií PMOS a NMOS a v roce 1968 byl vytvořen první integrovaný obvod CMOS. Od této technologie, jako od technologie TTL, se odvíjely jiné, s odlišnými vlastnostmi, ale navzájem slučitelné technologie. Přehled technologií odvozených od technologie CMOS a jejich stručný popis je uveden v tabulce 2.

Poměrně novou technologií je BiCMOS, která na jednom čipu spojuje prvky TTL a CMOS technologie. Využívá ji zejména firma Intel, k výrobě mikroprocesorů.

FAMOS technologie rovněž vznikla u firmy Intel a stala se nejrozšířenější technologií pro výrobu programovatelných pevných pamětí EPROM.

Kromě silikonových obvodů vznikly také technologie vytvářené na polovodiči Gallium arsenide (GaAs). Jsou to technologie DCL (Direct Coupled Logic), BFL(Buffered FET Logic) a SDFL (Schottky Diode FET Logic).

3 Základy elektrotechniky

3.1 Polovodiče

Polovodiče jsou látky, které mají měrný odpor mnohem větší než kovové vodiče, ale menší než izolanty. Uplatňují se jako základní materiály pro konstrukci polovodičových součástek, nebo jako složky a příměsi polovodičových sloučenin. Jejich vodivost silně závisí na teplotě a na osvětlení. Asi nejvýznamnějším polovodičem je křemík, dále pak germanium, selen, fosfor, arzen a řada dalších.

Elektrické vlastnosti polovodičů můžeme vysvětlit na základě vlastností jejich krystalové mřížky. Například křemík má čtyři valenční elektrony, které jsou při nízkých teplotách silně poutány k mřížce a křemík proud nevede. Při zahřátí dojde k uvolňování valenkčních elektronů, čímž se začnou objevovat místa, kde chybí záporný náboj *tzv. díry*, které se navenek projeví jako kladný náboj. Připojíme-li k tomuto polovodiči zdroj napětí, nastane usměrněný pohyb nábojů tj. děr k zápornému pólu a elektronů ke kladnému. Elektrický proud v polovodičích je tedy, na rozdíl od elektrického proudu v kovech, způsoben usměrněným pohybem elektronů a děr.

3.1.1 Nevlastní polovodiče

Pokud v polovodiči vedou elektrický proud elektrony a díry vzniklé výše popsaným způsobem, hovoříme o *vlastní vodivosti*. V technické praxi mají však největší využití tzv.*nevlastní polovodiče*, jejichž krystalová mřížka byla znečištěna nepatrným množstvím příměsí, čímž můžeme ovlivnit to, jestli v polovodiči bude veden elektrický proud elektrony – *vodivost typu N*, nebo děrami – *vodivost typu P*.

U vodivosti typu N (negativní) jsou některé atomy například v krystalu křemíku nahrazeny pětimocnými (s pěti valenčními elektrony) atomy např. arzenu. Jejich čtyři valenční elektrony se účastní vazeb, ale pátý se již v chemické vazbě nemůže uplatnit, a proto jsou takovéto elektrony velmi málo vázané a již při nízkých teplotách se z nich stanou volné elektrony. V křemíku s přímesí pětimocného prvku – tzv. *donor*, je proto nadbytek elektronů, které po připojení ke zdroji způsobují jeho *elektronovou vodivost typu N*.

U vodivosti typu P se do krystalové mřížky křemíku zabudují atomy trojmocného prvku se třemi valenčními elektrony, např. india, a tak chybí elektrony pro obsazení všech vazeb. V místě nasycené vazby vznikne díra s kladným nábojem. Tuto díru může zaplnit elektron z některé jiné vazby a díra se tak pohybuje. Příměs trojmocného prvku – tzv. *akceptor* vytváří tak v krystalu křemíku nadbytek kladných děr, které po připojení ke zdroji způsobují jeho *děrovou vodivost typu P*.

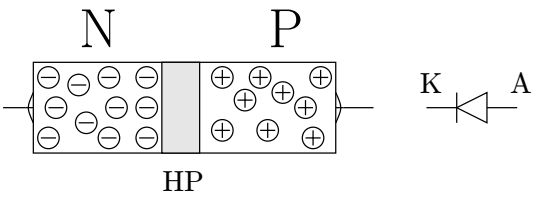
Ke změně vodivosti křemíku stačí i nepatrné množství příměsi – stačí, aby na 100 milionů atomů křemíku připadl jeden atom příměsi. Proto je technlogie výroby polovodičů požadovaných vlastností velmi náročná.

3.1.2 Diodový jev a polovodičová dioda

Největší využití v elektronice má *přechod PN*. Nazývá se tak oblast styku dvou polovodičů s opačným typem vodivosti. Přechod PN má tu vlastnost, že v jednom směru jim proud může procházet, zatímco v opačném nikoli. Vysvětlení spočívá v tom, že polovodič typu N obsahuje ve své krystalové mřížce volně pohyblivé elektrony, polovodič typu P má ve své krystalové mřížce volně pohyblivé díry.

Připojíme-li k polovodiči P záporný pól a k polovodiči N kladný pól, vzdalují se působením elektrických sil volné náboje od přechodu PN, oblast bez volných nábojů vzroste, zvýší se její odpor a proud nemůže procházet. Jedná se o zapojení v *závěrném směru*. Oblast bez volných nábojů se nazývá *hradlová vrstva*.

Zaměníme-li polaritu zdroje hradlová oblast se zmenší odpor klesne a proud tak může prochácházet. Jedná se tedy o zapojení PN přechodu v *propustném směru*.



Obrázek 1: Struktura diody a její schématická značka [12]

Popsaný jev, ve kterém závisí odpor přechodu PN na polaritě připojeného zdroje se nazývá *diodový jev*. Prvek s jedním přechodem PN je nejjednodužší polovodičová součástka tzv. *polovodičová dioda*. Na obrázku 1 je znázorněna struktura diody a její značka. Elektroda nazývaná *anoda* je připojena k polovodiči typu P a k polovodiči typu N je připojena elektroda nazývaná katoda.

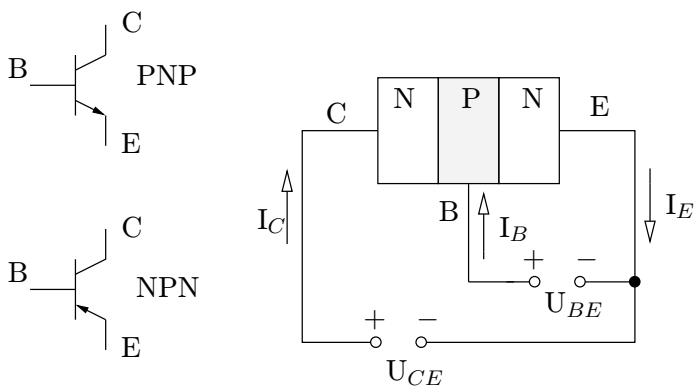
3.1.3 Bipolární tranzistor

Tranzistor je polovodičový prvek určený k zesilování nebo generování elektrických signálů. Bipolární tranzistor je aktivní součástka se třemi elektrodami – emitorem E, bází B a kolektorem C, využívající ke své činnosti majoritní[1] i minoritní[2] nosiče. Značení tranzistoru, společně se zapojením tranzistoru NPN v obvodu je na obrázku 2.

Podle typu dotací existuje bipolární tranzistor *NPN* (emitor je polovodič typu N, báze je vrstvička polovodiče typu P a kolektor je opět polovodič typu N) nebo *PNP* (emitor je polovodič typu P, báze je vrstvička polovodiče typu N a kolektor je opět polovodič typu P). Oba typy pracují na stejném principu, ale s opačnou polaritou napětí. U typu NPN jsou nosiči proudu volné elektrony, u typu PNP díry, které se pohybují pomaleji. Proto

[1] Majoritní nosiče jsou volné nasiče náboje (proudu) v polovodiči, jejichž hustota je podstatně větší než hustota ostatních druhů nosičů náboje v polovodiči při termodynamické rovnováze. Minoritní nosiče jsou v příměsovém polovodiči v převaze. V polovodiči typu N jsou to elektrony a v polovodiči typu P jsou to díry.

[2] Minoritní nosiče jsou volné nasiče náboje (proudu) v polovodiči, jejichž hustota je podstatně menší než hustota ostatních druhů nosičů náboje v polovodiči při termodynamické rovnováze. Minoritní nosiče jsou v příměsovém polovodiči v menšině. V polovodiči typu N jsou to díry a v polovodiči typu P jsou to elektrony.



Obrázek 2: Bipolární tranzistor [22]

má NPN tranzistor lepší vlastnosti při zpracování signálů s vyšší frekvencí a používá se častěji. Proto bude vysvětlení funkčnosti na NPN tranzistoru.

Na emitor je přivedeno záporné napětí, na kolektor kladné. Napětí báze–emitor je zpravidla menší než napětí kolektor–emitor. Přechod báze–emitor je v podstatě dioda zapojená v propustném směru, přechod kolektor–báze je zapojen v závěrném směru.

Teče-li proud obvodem báze emitor, dostávají se elektrony z oblasti emitoru (polovodič N) do oblasti báze. Protože na kolektoru je větší napětí než na bázi a oblast báze (polovodič P) je velmi tenká, většina elektronů je stržena do oblasti kolektoru. Z toho vyplývá, že protéká-li proud obvodem báze emitor (I_B), začne protékat proud i mezi kolektorem a emitorem (I_C) přes přechod kolektor–báze, který je v závěrném směru. Přitom proud kolektoru je závislý na proudu báze. U moderních tranzistorů, které mají velmi tenkou oblast báze, platí, že I_C je mnohem větší než I_B, protože většina elektronů se z emitoru nedostane do báze, ale do kolektoru.

3.1.4 Unipolární tranzistor

Jedná se o tranzistor řízený elektrickým polem (FET – Field Efected Tranzistor), tedy vstupním napětím. K jejich sepnutí nepotřebujeme téměř žádný budící výkon. Jejich charakteristickou vlastností je nekonečný vstupní odpor a tedy nulový budící proud. Jejich elektrody se často označují G (Gate) – hradlo, S (Source) – emitor, D (Drain) – kolektor. Podle toho, která elektroda se používá pro vstup a výstup, mluvíme o zapojení se společným emitorem, kolektorem a hradlem.

4 Technologie obvodů

Asi si těžko lze představit rozvoj číslicové mikroelektroniky bez aplikace integrovaných obvodů – tedy obvodů, které na destičce velikosti několika milimetrů soustřeďují řadu elektronických prvků (tj. tranzistorů, diod a odporů). Podle technologie výroby rozlišujeme integrované obvody na *hybridní* a *monolitické*.

Hybridní integrované obvody obsahují pasivní a aktivní součástky, které se připevní na jednu nosnou destičku, vzájemně propojí a zapouzdří. Přitom aktivními prvky nemusí být jednotlivé tranzistory, ale i monolitické integrované obvody. Obecně se dá uvést, že touto technologií se vyrábějí obvody, které ke své funkci potřebují stabilní a přesné odpory.

V monolitických integrovaných obvodech (tzv. čipech) jsou všechny potřebné prvky soustředěny na jedné destičce polovodiče, nejběžněji křemíku. Technologickým postupem jsou na této destičce vytvořeny jak aktivní, tak pasivní prvky i vzajemné propoje součástek. Pouzdření takovéhoto obvodu pak probíhá tak, že se pouze propojí kontaktovací plochy na destičce s vývody pouzdra. Naprostá většina elektronických číslicových systémů je vyráběna monolitickou technologií. Hybridní obvody se používají většinou jen u analogově číslicových převodníků (převodníky A/D). Proto se v dalším textu soustředíme na monolitické integrované logické systémy a popíšeme si jejich vlastnosti.

Podle stupně integrace rozlišujeme [7] :

- **SSI** (**S**mall **S**cale **I**ntegration) – malá integrace do 30 prvků
- **MSI** (**M**iddle **S**calle **I**ntegration) – střední integrace do 1000 prvků
- **LSI** (**L**arge **S**calle **I**ntegration) – velká integrace do 100 tisíc prvků
- **VLSI** (**V**ery **L**arge **S**calle **I**ntegration) – do 10 milionů prvků v pouzdře.
- **ULSI** (**U**ltra **L**arge **S**calle **I**ntegration) – do 1 miliardy prvků v pouzdře.
- **GSI** (**G**igantic **S**calle **I**ntegration) – nad 1 miliardu prvků v pouzdře.

Podle způsobu přenosu elektrického náboje přechodem tranzistoru, tedy podle druhu tranzistoru, dělíme polovodičové integrované obvody na dvě základní skupiny: *bipolární* a *unipolarní*. V prvním případě se přenosu náboje účastní elektrony a díry, v druhém se přenosu náboje účastní jenom elektrony nebo jenom díry.

Bipolární obvody jsou ve srovnání s unipolárními obvykle rychlejší, na druhé straně však mají větší příkon a nedovolují dosáhnout tak vysokého stupně integrace. Toto tvrzení bývá sice čas od času zpochybňováno novými úspěchy té či oné technologie, ale obecně v průměru platí jako charakteristika běžně dostupných součástek.

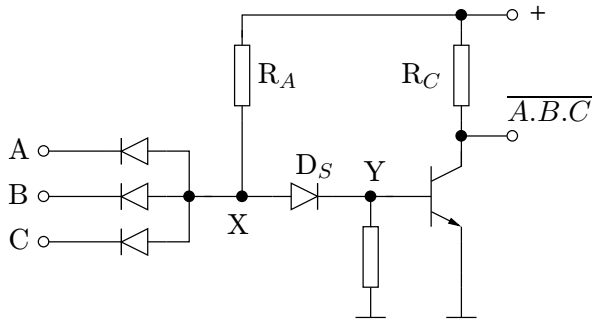
4.1 Bipolarní technologie a jejich vlastnosti

4.1.1 Technologie DTL

Systém diodové tranzistorové logiky DTL (Diode Tranzistor Logic) byl jedním z nejvíce užívaných obvodů, avšak dnes se už vyrábí jen pro speciální účely. Základní hradlo tohoto systému na obrázku 3 vzniklo v podstatě kombinací diodového obvodu AND s invertorem.

Dioda D_S zajišťuje, že tranzistor zůstane uzavřen, jestliže alespoň jeden ze vstupů je uzemněn, tj. v bodě X je napětí rovné spádu na příslušné diodě a v bodě Y je napětí nulové. Místo jedné diody D_S se obvykle užívají dvě diody v sérii, čímž se zvětší šumová imunita hradla. Odporový dělič v bázi invertoru je volen tak, aby v případě úrovně logické 1 na vstupech byl tranzistor saturován[3]. Vstupní odpor hradla je velký, je-li vstup na úrovni logické 1 a je-li vstup na úrovni logické 0, rovná se prakticky R_1. Výstupní odpor ve stavu logické 1 je roven kolektorovému odporu R_C a ve stavu logické 0 je velmi malý, a tak se hradla dají snadno řadit za sebe.

Typické zpoždění signálu (tzn. čas, který uplyne od změny logické úrovně na výstupu, do odezvy na nýstupu) na jedno hradlo je 25 ns. Napěťová úroveň logické 1 je 12 V a napěťová úroveň logické 0 je 0 V. Napájecí napětí těchto obvodů bývá asi 5 V, logický zisk (tzn. počet vstupů, které lze připojit na jeden výstup) je 10.



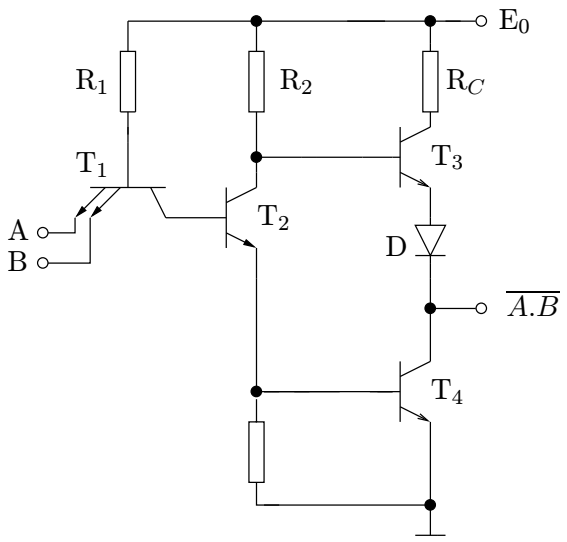
Obrázek 3: Základní hradlo NAND systému DTL [20, kap. 7.4]

Koncepce systému skýtá možnost zařadit místo diody D_S Zenerovu diodu, a tím získat systém s extrémně vysokou šumovou imunitou, což je vhodné pro aplikace vyžadující velkou odolnost proti rušení. Obvody tohoto typu, označované jako ZDTL, jsou pak velmi pomalé. Ztrátový výkon obvodu bývá několik desítek mW a základní zpoždění signálu bývá 350 ns. Některé obvody tohoto typu jsou uspořádány tak, že připojením kondenzátoru (do 100 pF) mezi vstupní svorku a anodu Zenerovy diody se zvětší zpoždění až na 10 μs.

4.1.2 Technologie TTL

TTL (Tranzistor Tranzistor Logic) je dosud nejrozšířenější technologií při výrobě integrovaných obvodů SSI a MSI. Je to hlavně díky jejich jedinému napájecímu napětí $+5 \pm 0,25$ V, poměrně vysokému logickému zisku a také nízké ceně. Charakteristické je užívání víceemitorových tranzistorů. Víceemitorový tranzistor se totiž relativně snadno vyrábí standartní planární technologií a jeho výroba je ekonomičtější než výroba několika diod. Zapojení logického členu NAND se dvěma vstupy je na obrázku 4. Hradla tohoto logického členu obsahuje např. obvod HM7400 (5400,8400).

[3]Tzn. ve stavu (nazývaném také nasycený stav), při němž jsou emitorový i kolektorový přechod PN polarizovány v přímém směru. Kolektorový proud je pak omezen jen odporem vnějšího rezistoru.



Obrázek 4: Elementární prvek obvodů TTL – hradlo NAND [6, str. 220]

Je-li na jeden emitor vstupního tranzistoru T_1 přivedena úroveň logické 0, začne tímto tranzistorem protékat proud v předním[4] směru, tranzistor T_1 se otevře a z báze tranzistoru T_2 je velmi rychle odveden přebytečný náboj přes malou impedanci otevřeného tranzistoru T_1. Tak je dosaženo velké spínací rychlosti při zavírání tranzistoru T_2.

Připojením všech emitorů tranzistoru na úroveň logické 1, bude tranzistor T_1 pracovat v inverzním zapojení, tj. zamění se funkce emitoru a kolektoru. Při tom se otevře tranzistor T_2, a to spojením báze přes otevřený přechod báze-kolektor tranzistoru T_1, polarizovaným nyní v propustném směru, a přes odpor R_1 se zdrojem napájecího napětí.

Výstupní obvod je zapojen jako sériový dvojčinný stupeň. U dvojice tranzistorů T_3 a T_4 je patrné, že bude pracovat vždy pouze jeden z nich. Záleží na tom, jak velké kladné napětí a v jakém okamžiku přijde na báze těchto tranzistorů. K otevření tranzistoru T_4 stačí mnohem menší kladné napětí (přibližně $0,7\ V$) než pro otevření tranzistoru T_3, vzhledem k uzemění emitoru tranzistoru T_4. Báze tranzistoru T_3 musí tedy dostat mnohem větší kladné napětí, aby se tranzistor otevřel a tekl jím proud.

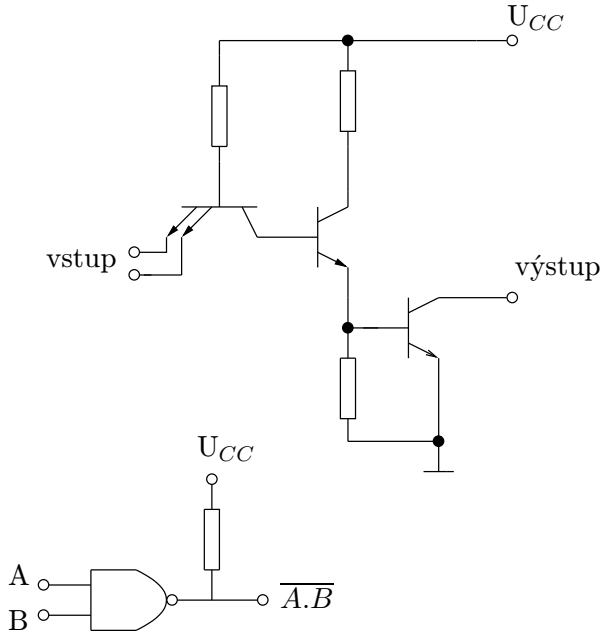
Je-li na všech emitorech velké kladné napětí (logická 1) , uvedou se tranzistory T_2 a T_4 do nasyceného stavu a na výstupu obvodu je malé napětí, blížící se potenciálu země. V tomto stavu zajišťuje dioda D lepší uzavření tranzistoru T_3. Je-li na kterémkoliv vstupu malé napětí (logická 0), jsou tranzistory T_2 a T_4 uzavřeny a na výstupu je velké napětí.

Díky tranzistoru T_3 se také zkracuje doba sepnutí při kapacitní zátěži výstupu. Uvažme, jaké by byly pracovní podmínky bez tranzistoru T_3, kdyby byl zapojen v kolektorovém obvodu tranzistoru T_4 jen odpor R_C. K dosažení krátké doby sepnutí do nevodivého stavu by musel mít odpor R_C malou velikost, tím by ve vodivém stavu protékal tranzistorem T_4 velký proud a počet výstupů by se značně zmenšil. Nejvýhodnější by bylo takové zapojení, ve kterém by se výstupní kapacita rychle nabila přes malý odpor R_C,

[4] Rozumí se protékání proudu báze–emitor tranzistoru T_1, tedy ve „směru šipky – dopředu“ a odtud je pak název přední směr.

a potom se odpor R_C odpojil. A právě tuto funkci zastává tranzistor T_3 společně s diodou D a odporem R_2.

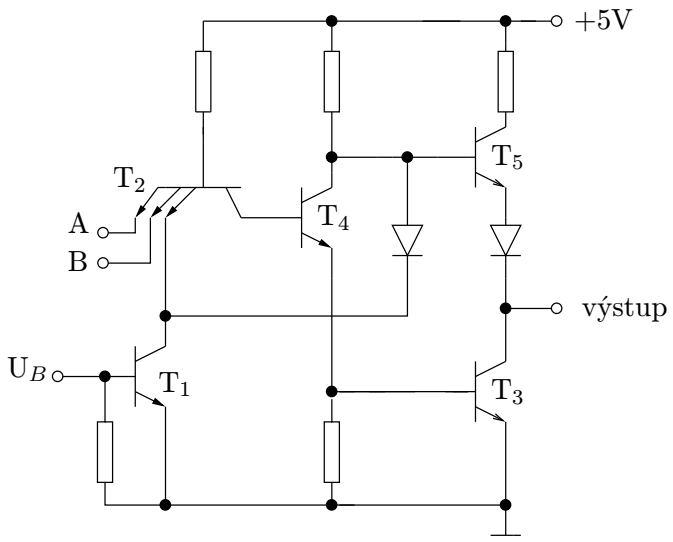
Po zahrazení (uzavření) tranzistorů T_2 a T_4 se uvede do vodivého stavu (otevře) tranzistor T_3, kterým se připojí k výstupu malý odpor R_C. Přes tento odpor se nabíjí rychle výstupní kapacita, přičemž zůstává tranzistor T_3 ve vodivém stavu až do okamžiku, kdy napětí na výstupu dosáhne hodnoty E_0, zmenšené o úbytek napětí na diodě D a napětí mezi bází a emitorem tranzistoru T_3. Od tohoto okamžiku se přestává odebírat z výstupu obvodu proud a tranzistor T_3 se zahradí, čímž se odpor R_C odpojí.



Obrázek 5: TTL s otevřeným kolektorem[6, str. 228]

Dvojčinný stupeň neumožňuje propojení několika výstupů popsaných hradel NAND paralelně. K tomu je zapotřebí dalšího hradla typu OR. Toto hradlo však můžeme vypustit, jestliže použijeme hradel s tzv. *otevřeným kolektorem*. Principiální zapojení hradla s otevřeným kolektorem je na obrázku 5. Toto hradlo má jednočinný koncový stupěn a pochopitelně u něj odpadá problém spínacích ztrát. Do výstupního obvodu je pak nutné zapojit vnější odpor, na který však můžeme připojit další hradlo s otevřeným kolektorem. Propojením několika výstupů s otevřeným kolektorem přes vnější odpor vznikne pak funkce montážního AND. To se využívá především v řídících částech sběrnic.

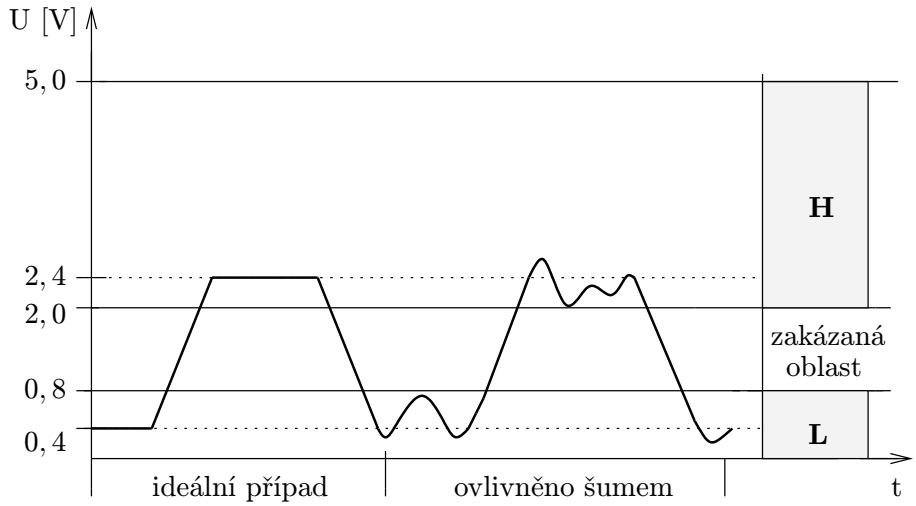
Kromě dvojčinného stupně na obrázku 4 a otevřeného kolektoru na obrázku 5 existují i jiné varianty provedení výstupu např. *třístavový výstup*. Tady kromě obou známých stavů (logická 1 a logická 0) existuje ještě třetí stav, při němž má výstup veliký odpor jak proti zemi ($0\ V$), tak proti napájecímu napětí ($5\ V$). Toho se dosáhne tím, že pomocí dalšího kontrolního vstupu bude dvojčinný stupeň vybuzen tak, že oba tranzistory budou uzavřeny. Tyto výstupy lze vzájemně propojovat přímo a tvoří základ sběrnicových systémů.



Obrázek 6: Třístavové hradlo NAND [20, kap. 4.7]

Takový obvod je znázorněn na obrázku 6. Vedle dvou aktivních vstupů A a B má hradlo blokovací vstup U_B. Vybuzením tranzistoru T_1 se uzavřou tranzistory T_3, T_4 a T_5 a hradlo má pak velkou impedanci.

TTL obvody používají kladnou logiku, to znamená, že logické 1 odpovídá vyšší kladné napětí a logické 0 napětí nulové, nebo kladné, které je menší než napětí na logickou 1.



Obrázek 7: Průběh napětí z TTL [11, str. 17]

Napěťové úrovně jsou uvedeny v tabulce 3.

Zpoždění logického signálu je 10 ns až 20 ns, což je vzhledem k nízkému příkonu velmi vyhovující. Obvody TTL mají také dobrou šumovou imunitu $0,4$ V a jsou odolné

	vstup	výstup
H_{min}	2,0 V	2,4 V
L_{max}	0,8 V	0,4 V

Tabulka 3: Napěťové úrovně technologie TTL [11, str. 17]

proti statické elektřině. Pojem šumová imunita je důležitým pojmem, proto si jej objasníme blíže.

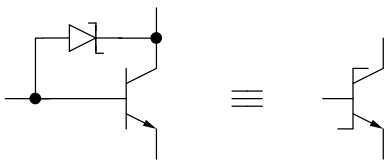
Předpokládejme, že nakreslený průběh na obrázku 7 je napětí, které jde z výstupu TTL obvodu na vstup jiného obvodu. Napěťové úrovně jsou na hranici tolerance pro výstupní napětí ($U_L = 0,4\ V$, $U_H = 2,4\ V$). Tyto úrovně jsou dostačující pro vstup. Jestliže však tento signál bude narušen např. šumem, musíme to vzít v úvahu. Z obrázku vyplývá, že při stavu L nesmí být kladná úroveň rušivého napětí v žádném okamžiku větší než $0,4\ V$ a při stavu H nesmí být záporná úroveň rušivého napětí v žádném okamžiku větší než $0,4\ V$. Říkáme tedy, že šumová imunita u TTL logiky je $0,4\ V$, čímž myslíme to, že amplituda rušivého napětí může být až $0,4V$, aniž by se narušila činnost TTL obvodů.

Z pohledu uživatele obvodů TTL je potřeba uvést alespoň některé vlastnosti. V první řadě je třeba říci, že nezapojený vstup TTL obvodu se chová jako by byl připojen na logickou 1. Jestliže bychom chtěli některý vstup trvale přivést do stavu logické 0, pak jej buď uzemníme, nebo spojíme se zemí přes odpor menší než 500 Ω. Výstupy TTL obvodů snesou zkrat proti zemi, ale zkrat proti napájecímu napětí při stavu L (tzn. logické 0) na výstupu vede k znehodnocení obvodu. Nevýhodou této technologie je velká spotřeba elektrické energie a z toho vyplývající velké zahřívání takových obvodů.

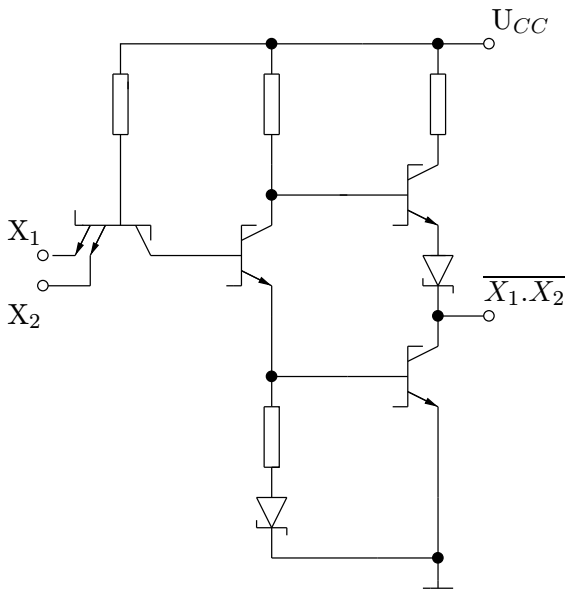
Technologie L-TTL je variantou TTL, u které se podařilo snížit příkon, ale to na úkor rychlosti obvodu, díky zvětšení všech hodnot odporů v obovodu. Naopak technologie H-TTL je rychlejší variantou TTL, u níž byly všechny hodnoty odporů redukovány, a tak má vyšší příkon, s čímž souvisí to, že obvod se více zahřívá a projevuje se u něj více parazitních vlastností. TTL i její varianty L-TTL (pomalejší se sníženým příkonem) a H-TTL(rychlejší se zvýšeným příkonem) jsou vytlačeny technologiemi STTL a LSTTL.

4.1.3 Technologie STTL a LSTTL

S-TTL je v podstatě rovněž varianta technologie TTL, u které se však podařilo dosáhnout příznivějšího poměru mezi rychlostí a příkonem. Pro zvýšení spínací rychlosti se užívají Schottkyho diody podle zapojení na obrázku 8, které zabraňují přesycení.



Obrázek 8: Doplnění tranzistoru o schottkyho diodu [13, str. 45]



Obrázek 9: Základní obvod STTL realizující logickou funkci NAND [10, str. 281]

Zpoždění signálu je o proti TTL poloviční, ale příkon je dvojnásobný. Na obrázku 9 je schematické zapojení základního obvodu technologie STTL. Obvod funguje principiálně stejně jako obvod TTL na obrázku 4. Došlo pouze k použití Schottkyho tranzistorů a Schottkyho diod, čímž se zrychlila činnost obvodu.

Vylepšením technologie STTL vznikly technologie LSTTL, ASTTL a ALSTTL.

LSTTL (Low Power STTL) je ve skutečnosti DTL (diodová logika), kombinovaná s tranzistorovou výstupní kaskádou z obvodů TTL. U této technologie se podařilo dosáhnout nižšího příkonu na úkor rychlosti.

Technologie ASTTL je nejrychlejší technologií z řady obvodů TTL a na svou rychlost má poměrně malý příkon.

Nejpopulárnějšími se však staly obvody technologie ALSTTL (Advanced low STTL) a FTTL (Fast STTL), které mají výborné spínací a příkonové vlastnosti oproti ostatním.

Tyto technologie dosahují největších úspěchů při tvorbě velmi rychlých malých pamětí a hlavně rychlých a relativně výkonných pomocných obvodů, případně členů řezových procesorových stavebnic.

Funkční vlastnosti jednotlivých variant technologie TTL jsou stejné, proto jsou také všechny technologie slučitelné. Obvody se však liší především svojí rychlostí a spotřebou. Srovnání vlastností jednotlivých technologicky odlišných obvodů TTL vidíme v tabulce 4. Z tabulky je zřejmá dobrá slučitelnost jednotlivých obvodů až na sloučení obvodů ALSTTL a STTL. Je to díky vysokému odběru vstupu u STTL a nízké zatížitelnosti výstupu u ALS, takže se tyto dvě technologie nedají propojovat přímo.

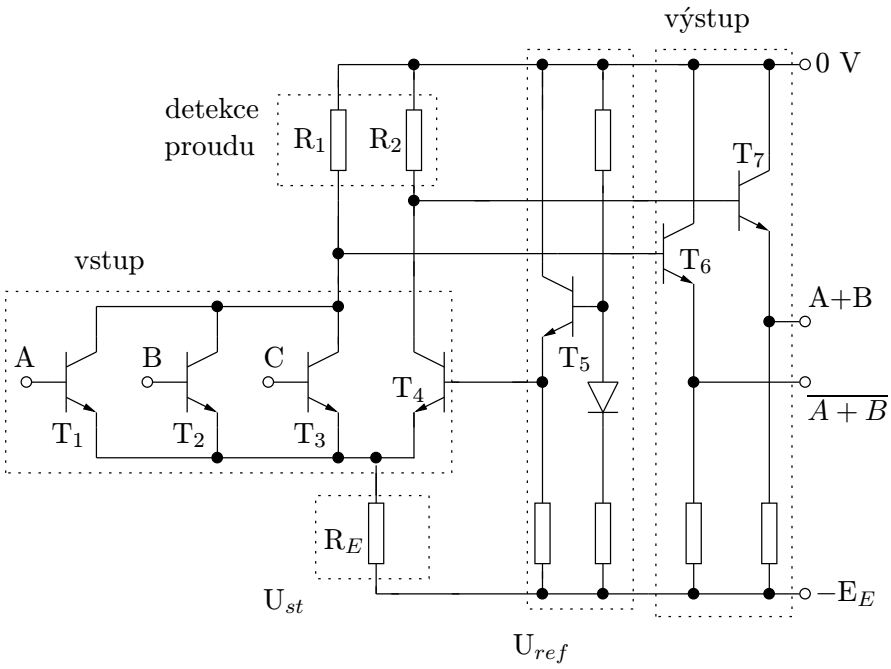
Nicméně varianty technologií TTL neumožňují vysoký stupeň integrace. Dosahuje se nejvýše 500 elementárních logických obvodů na čip, což je způsobeno jak relativně vysokým příkonem, tak i nutností umístit na čipu zatěžovací a ochranné rezistory.

technologie	zpoždění [ns]	odběr členu [mW]	zatížit. výstupu [mA]	odběr vstupu [mA]
TTL	22	10	16	1,6
HTTL	13	22	30	3
LTTL	35	2	8	0,8
STTL	5	20	50	5
LSTTL	20	3	8	0,8
ASTTL	1,7	8	7	0,7
ALSTTL	15	2	4	0,4

Tabulka 4: Srovnání vlastností jednotlivých technologií TTL [14, str. 250]

4.1.4 Technologie ECL

Dosud popsané systémy, zejména TTL a STTL jsou vhodné a používané pro řadu číslicových zařízení, protože jejich cena je relativně nízká a propojování na desce je prakticky bez problémů. Nicméně existují aplikace, kde základním požadavkem je rychlost obvodu bez ohledu na spotřebu, cenu a rozměry obvodu. Proto byly vyvinuty obvody vyrobené technologií ECL (Emitor Coupled Logic), kde se doba zpoždění hradla snížila řádově vzhledem k TTL. Technologie ECL se používala pro výrobu mimořádně rychlých pamětí RWM a pro řezové procesorové stavebnice (řada M10800 – Motorola). Největší uplatnění měly obvody ECL při stavbě velmi rychlých počítačů a v mikropočítačové technice se téměř neužívají.



Obrázek 10: Elementární prvek obvodu ECL – vícevstupový proudový spínač [13, str. 46]

Součástky vyráběné technologií ECL jsou z části založeny na odlišných obvodech než součástky vyrobené technologií TTL a nejsou s obvody TTL přímo slučitelné. V obvodech ECL pracují všechny tranzistory mimo oblast nasycení, čímž se automaticky vyloučí zpoždění signálu způsobené nadbytečným nábojem a hodnota zpoždění v logických členech se tak pohybuje mezi ($0,5\ ns$ až $0,3\ ns$).

Využívají tzv. *proudové spínače*, což je zapojení tranzistorů s emitorovou vazbou podle obrázku 10 a podstata činnosti obvodu spočívá v přepínání přesně definovaného proudu malými změnami řídícího napětí, řádu desetin voltu. Proto se někdy označovaly názvem proudové spínací obvody a zkratkou CML (Current Mode Logic).

Základní zapojení používané v technice obvodů ECL je na obrázku 10. Zdroj stálého proudu je v tomto zapojení velmi jednoduchý. V podstatě je to odpor R_E připojený k napájecímu napětí -E_E. Vstupní, řídící část zapojení tvoří tranzistory T_1 až T_3 se společným kolektorovým odporem R_{C1}. Na bázi tranzistoru T_4 je stálé referenční napětí, přiváděné ze stabilizovaného zdroje s tranzistorem T_5. Velikost referenčního napětí odpovídá prahové spínací úrovni obvodu ECL, která je mezi kladnější úrovní signálu H a zápornější úrovní signálu L. Přepínání stálého proudu z odporu R_E do některého z tranzistorů T_1 až T_3 se řídí vstupy A až C. Je-li na všech vstupech úroveň L, která je zápornější než referenční úroveň na bázi tranzistoru T_5, protéká proud tranzistorem T_4 a traznistory T_1 až T_3 jsou v nevodivém stavu. Detekci vodivého stavu tranzistoru T_4 zajišťuje odpor R_{C2}, na kterém vznikne úbytek na napětí. Při těchto pracovních podmínkách je na výstupu tranzistoru T_7 úroveň L a na výstupu tranzistoru T_6 je úroveň H. Tyto tranzistory, které pracují jako emitorové sledovače, posouvají výstupní úrovně napětí na takové velikosti, aby mohly obvody ECL vzájemně spolupracovat a kromě toho jejich proudové zesílení umožňuje velký logický zisk. Je-li na libovolném vstupu např. B, úroveň H, která je kladnější než referenční úroveň napětí na bázi tranzistoru T_5, protéká proud tranzistorem T_2 a tranzistor T_5 je v nevodivém stavu. Detekci vodivého stavu některého z tranzistorů T_1 až T_3 zajišťuje odpor R_{C1}, na kterém vznikne úbytek napětí. Při uvedených pracovních podmínkách je na výstupu tranzistoru T_7 úroveň H a na výstupu tranzistoru T_6 je úroveň L. Obvod zastává funkci OR nebo NOR (uvažováno pro kladnou logiku).

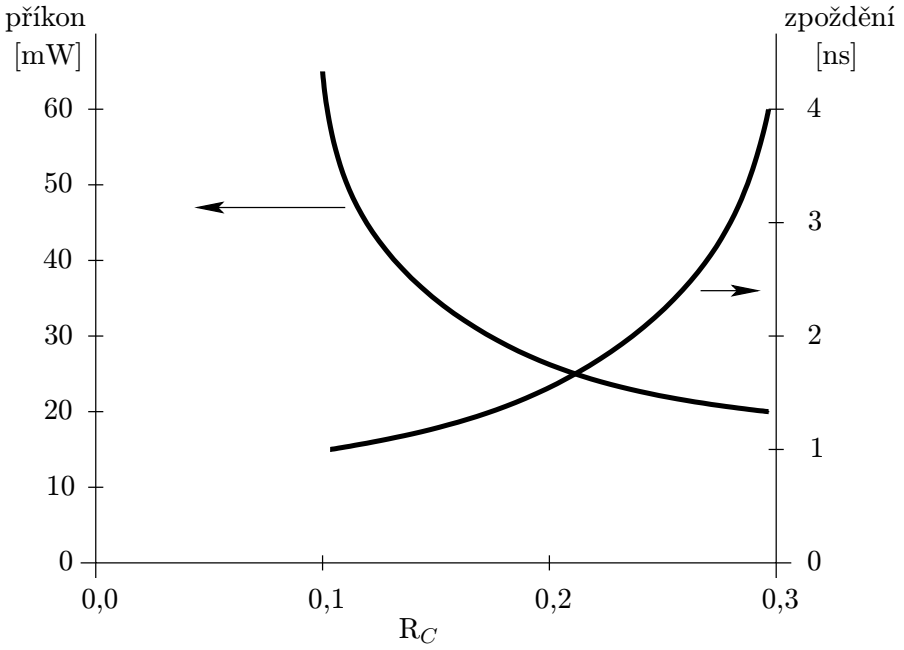
Obvody ECL mají malý rozkmit signálů ($0,8\ V$), a tím i malou šumovou imunitu. Dosažitelný stupeň integrace je porovnatelný s technologií TTL a jejími variantami. U standartní technologie je teoreticky celkové zpoždění signálu závislé na velikosti odporů R_C a konstrukčních vlastnostech tranzistoru T_4.

Závislost zpoždění a příkonu na velikosti odporu R_C je na obrázku 11. Snižováním odporu docílíme větší rychlosti, ale na druhou stranu větší spotřeby. Takže podobně jako u TTL byla vyvinuta vatianta rychlejší se zvýšenou spotřebou ECL II a pomalejší se sníženou spotřebou ECL III. Přehled těchto technologií společně s jejich vlastnostmi je v tabulce 5.

Integrované obvody těchto variant používají stejné zapojení, rozdíl je pouze v hodnotách odporů a ve speciálně upravených tranzistorech pro daný obvod.

Nevýhodou technologie ECL je, že vzhledem k tomu, že všechny tranzistory jsou stále otevřené, obvod má větší spotřebu proudu a větší spotřeba proudu také znamená větší vývin tepla uvnitř obvodu, což nedovoluje konstruovat obvody s velkou integrací.

Protože se jedná o velmi rychlé obvody, je nutné pečlivě volit jejich propojení, aby nedocházelo ke zbytečným zpožděním signálu při průchodu spoji. Navíc se tu vyskytuje problém přizpůsobení vstupního a výstupního odporu hradel charakteristické impedanci



Obrázek 11: Graf závislosti vlastností technologie ECL na odporu R_C [3, str. 126]

technologie	R_C [Ω]	zpoždění [ns]	příkon [mW]
ECL	232	2	25
ECL II	295	4	20
ECL III	105	1	60

Tabulka 5: Srovnání vlastností jednotlivých technologií ECL [3, str. 125]

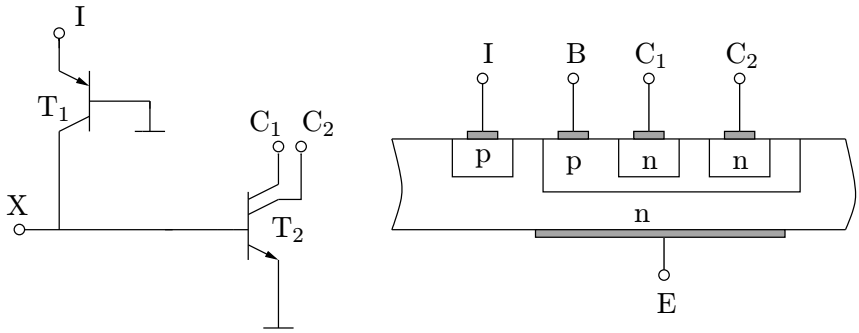
spojů, jinak odrazy na koncích vedení mohou zcela znehodnotit přenášenou informaci. Proto se propojení jednotlivých pouzder pro extrémě rychlé systémy navrhuje většinou na počítačích a realizuje se pomocí vícevrstvových spojů. Aby zpoždění mezi obvody bylo co nejmenší, volí se velká hustota součástek, což vede ke značně tenkým spojům. Největší zisk z rychlosti obvodů ECL dostaneme větší integrací těchto obvodů na jediném čipu, kde délka propojení jednotlivých hradel je v řádu setin milimetru.

Na závěr uveďme, že pro označení napájecích napětí se ustálilo u logických členů ECL následující označení: svorka s kladným napětím (U_{CC}) se značí jako zem (0 V) a u nulového potenciálu pak místo 0 V píšeme $-U_{CC}$. Kombinací LSTTL a ECL vznikla podobná technologie SCL – Schottkyho vázané logické členy.

Je možno říci, že obvody ECL jsou zatím nejrychlejší ze všech logických systémů, avšak jejich spotřeba i cena je relativně vysoká oproti unipolárním technologiím.

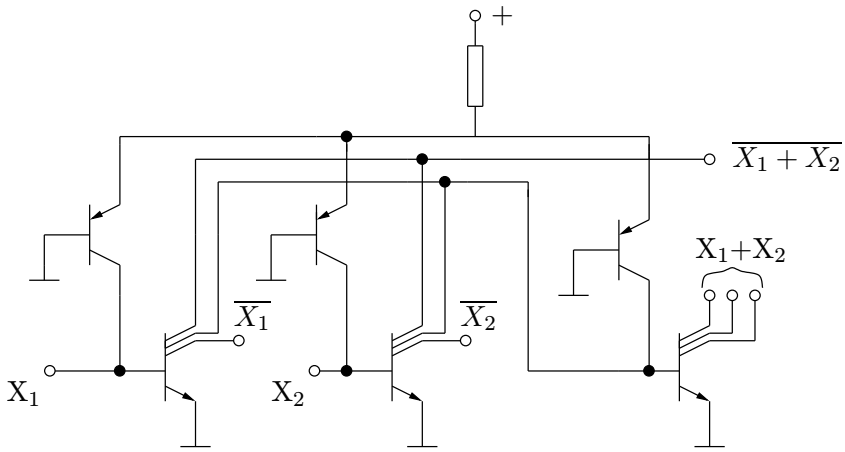
4.1.5 Technologie IIL a IIIL

Technologie I^2L (též IIL – Integrated Injection Logic) umožňuje vytvářet struktury, ve kterých na sebe sousední tranzistory nepůsobí a tudíž nepotřebují vzájemnou izolaci. Byla zavedena firmou Philips a podobnou technologii zavedla též firma IBM pod názvem MTL (Merged Transistor Logic). Struktura neobsahuje žádné rezistory a je napájena zdrojem proudu.



Obrázek 12: Struktura základní buňky I^2L – invertor a jeho zapojení [10, str. 129]

Základní strukturu tvoří invertor, který se skládá z laterárního tranzistoru PNP a bipolárního tranzistoru NPN (tzv. přepínač) s několika kolektory (C_1, C_2). Na obrázku 12 je technologické uspořádání členu I^2L a základní zapojení invertoru I^2L. Laterární tranzistor T_1 se často nazývá *injektor* a slouží k napájení struktury. Jeho báze je zároveň emitorem pro NPN tranzistor T_2 s několika kolektory v inverzním režimu. Výhodou IIL je to, že není třeba vzájemně izolovat jednotlivé členy a že jeden injektor může napájet i několik struktur NPN s několika kolektory.



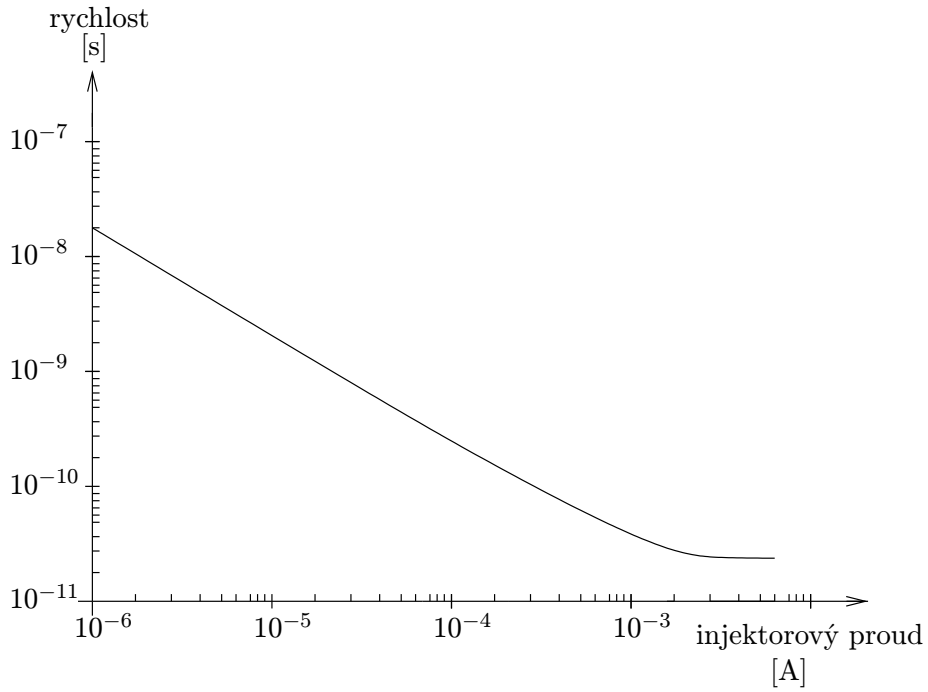
Obrázek 13: Vytváření logických funkcí strukturou I^2L [10, str. 129]

Logické funkce lze pak vytvářet propojením kolektorů jednotlivých struktur jak je ukázáno na obrázku 13. Funkce invertoru na obrázku 12 spočívá v tom, že připojením

vstupu X na úroveň logické 0 (tedy spojení se zemí) vede injektor T_2 přes zem a tranzistor T_1 nevede a na jeho kolektorech C_1 a C_2 je úroveň logické 1 (tj. nejsou spojeny se zemí). Přivedením signálu logické 1 na vstup X je tranzistor T_1 přes emitor tranzistoru T_2 uveden do vodivého stavu a na kolektorech C_1 a C_2 je tedy úroveň logické 0. Napájecí napětí může být podle druhu zapojení od $0,8\ V$ do $15\ V$.

U I^2L je možné použít izolace mezi sousedními hradly a vzniká tak další varianta, tzv. technologie I^3L (též IIIL – Isoplanar Integrated Injection Logic).

Obě technologie I^2L i I^3L dovolují na rozdíl od předchozích technologií dosahovat velmi značné hustoty integrace, nízkého příkonu, necitlivosti ke změnám napájecího napětí a současně i rychlostí větších než u běžných unipolárních obvodů. Příznačné je, že velikostí napájecího proudu lze ve velikém rozmezí (až několika dekád) řídit příkon i rychlost. Na obrázku 14 je v logaritmickém grafu zakreslena přepínací rychlost jako funkce injektorového proudu.



Obrázek 14: Závislost spínací rychlosti na injektorovém proudu u I^2L [2, str. 112] [9, str. 2444]

Uvedené vlastnosti spolu s dobrou slučitelností s obvody TTL teoreticky předurčují tyto technologie pro výrobu rychlých velkokapacitních pamětí RWM i výkonných mikroprocesorů. Přesto však obvody I^2L a I^3L dosud nedosahují předpokládaného rozšíření. Důvodem jsou poměrně vysoké výrobní náklady vzhledem k novým unipolárním technologiím.

Struktury I^2L a I^3L jsou základem dalších typů číslicových integrovaných obvodů, jako jsou SI^2L, STL a ISL. U SI^2L (Schottky Integrated Injection Logic) je multi-kolektorová oblast nahrazena Schottkyho diodami, což umožňuje větší hustodu integerace. Přidáním Schottkyho diod se také docílilo větší rychlosti a snížilo se proudové napájení. Schottky

Tranzistor Logic STL je variantou SI^2L s vylepšenými přepínacími tranzistory, čímž se docílilo spínací rychlosti až $2,5\ ns$. Nevýhodou je však komplikovaná výroba, a tím i vysoká cena. ISL Integrated Schottky Logic je technologie lišící se pouze ve výrobě přepínacích tranzistorů NPN.

4.2 Unipolární technologie

S unipolárními technologiemi je spojen celý dosavadní bouřlivý vývoj osobních počítačů. Jedině díky velmi vysoké integraci těchto technologií je možné vyrábět dnešní personální počítače. Základ této technologie tvoří unipolární tranzistor.

4.2.1 Unipolární tranzistory

Dříve než přistoupíme k popisu jednotlivých unipolárních technologií, nastíníme rozdělení unipolárních tranzistorů podle principu jejich funkčnosti.

Unipolární tranzistor je známější pod názvem tranzistor řízený polem (field effected transistor), krátce označený FET. Myšlenka nevýkonnového řízení proudu odporem ovládaným intenzitou elektrického pole je stará. Byla prodiskutována již na přelomu 20. století. Technicky však nebylo možné tento jev realizovat, protože materiály, které byly k dispozici (např. dobře vodivé kovy), neumožňovaly vnikání elektrického pole.

Hloubka vniku elektrického pole do látky je úměrná převrácené hodnotě konduktivity γ, tj. čím menší je konduktivita látky, tím lépe do ní může elektrické pole vniknout.

Vhodným prostředkem je tedy polovodičový materiál. Dotujeme-li polovodičový materiál ne příliš vysoko, tj. γ zůstává poměrně malá, prochází sice malý proud, ale elektrické pole může příznivě vnikat do látky, a tím i tento proud ovlivňovat.

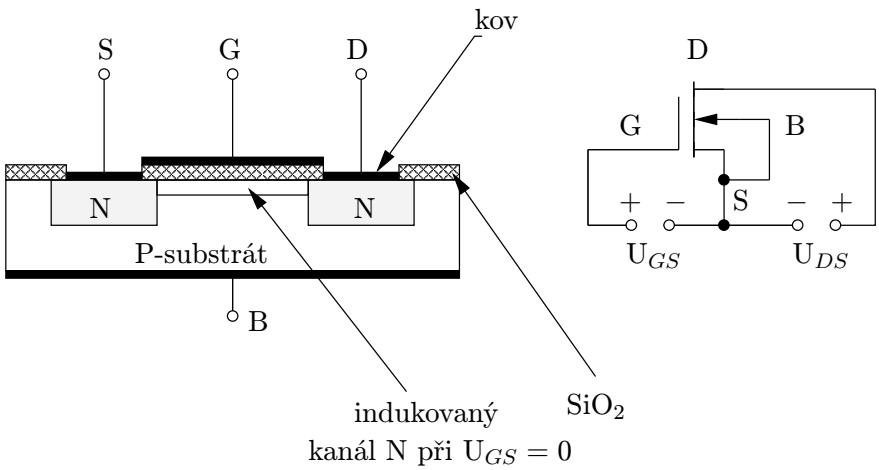
Podle toho, jak je tato proudová dráha, obecně nazývaná kanál, dotována, hovoříme o tranzistoru řízeném polem s kanálem N nebo P. Technicky jsou dvě možnosti jak nechat působit elektrické pole na proudový kanál, a to buď přes závěrnou vrstvu přechodu nebo přes zvláštní izolační vrstvu. Pak existuje FET s přechodovým hradlem označovaný také JFET (junction FET) nebo na druhé straně FET s izolovaným hradlem označovaný IGFET (insulated-gate-FET), který se ještě rozděluje na ochuzovací a obohacovací typ.

FET má obecně tři elektrody, které jsou jsou označovány S (source)–emitor, D (drain)–kolektor a G (gate)–hradlo. Podle toho, která elektroda se používá společně pro vstup a výstup, mluvíme o zapojení se společným emitorem, kolektorem a hradlem. Nejobvyklejším je zapojení se společným emitorem.

Pro řídící techniku je v současnosti nejdůležitějším tranzistor typu IGFET s izolační vrstvou tvořenou vrstvou oxidu označovaný jako MOSFET (Metal Oxide Semiconductor FET), proto se v dalším textu zaměříme už jen na něj.

MOSFET s ochuzováním kanálu

Na obrázku 15 je znázorněna struktura tranzistoru MOSFET s ochuzováním kanálu N a její schematické znázornění. Protože zde čtvrtá elektroda není (tak jako je tomu u JFETu) přiřazována hradlu, ale většinou emitoru, kreslí se ve schematické značce odděleně a označuje se obecně jako vývod substrátu ozn. B nebo Su.

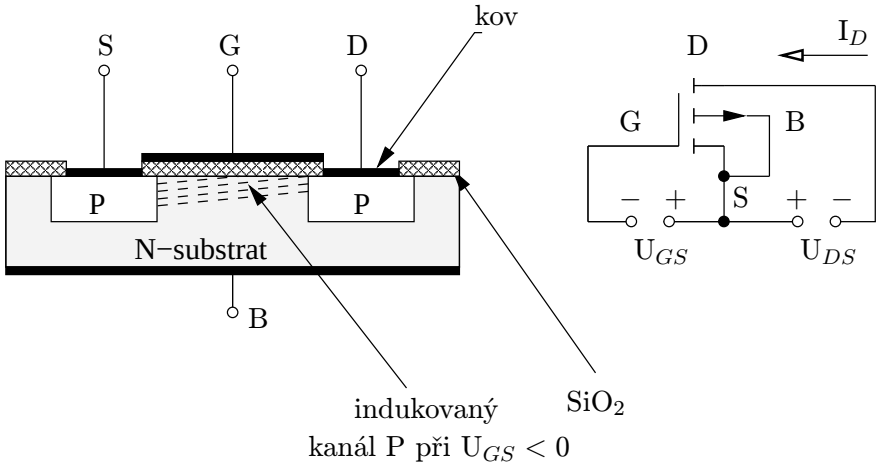


Obrázek 15: Struktura tranzistoru MOS s ochuzováním kanálu N [10, str. 302]

Princip činnosti MOSFETu s ochuzováním spočívá v zužování vodivého kanálu mezi emitorem S a kolektorem D vlivem příčného elektrického pole vytvořeného napětím U_{GS} přivedeným na hradlo G. Vodivý kanál je vytvořen povrchovými jevy na polovodiči pod izolantem a kovovým hradlem G, i když na hradlo není přiloženo napětí U_{GS}.

MOSFET s obohacováním kanálu

Struktura tranzistoru MOSFET s obohacováním kanálu P a její schématické znázornění je na obrázku 16.



Obrázek 16: Struktura tranzistoru MOS s obohacováním kanálu P [10, str. 303]

Princip činnosti spočívá ve vytváření a rozšiřování vodivého kanálu mezi emitorem S a kolektorem D vlivem příčného elektrického pole vyvolaného přivedením napětí na hradlo G. Tento typ MOSFETu, ať už s kanálem P nebo N, díky vysokému výstupnímu odporu,

malé spotřebě, značné odolnosti proti rušivým signálům a výboným spínacím vlastnostem, hraje primární úlohu v technice číslicových integrovaných obvodů. Proto jeho činnost rozebereme podrobněji.

S přihlédnutím ke stavbě součástky a pólování pomocí U_{DS} nemůže mezi S a D procházet proud, jestliže je napětí U_{GS} nulové, protože závěrná vrstva přechodu kolektor–substrát–přechod PN je pólována ve zpětném směru. Při využití křemíkové polovodičové techniky je tento proud nejvýše řádu pikoampérů.

Dosáhne-li UGS záporných hodnot, budou vlivem elektrického pole v tenké oblasti N před hradlem vytlačovány elektrony a na jejich místo přijdou díry. Mezi oběma ostrůvky P vznikne tenké spojení, tj. kanál P. Protože tento kanál vznikne obohacením tenké oblasti N pod hradlem děrami, dostal tento MOSFET název obohacovací typ.

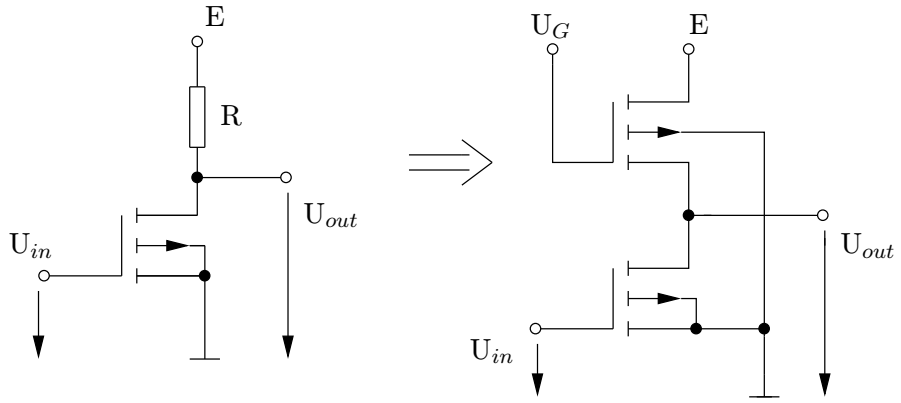
Jestliže tedy určitým napětím U_{GS} vznikl kanál, může prudce stoupnout s U_{DS} kolektorový proud I_D, který podle znaménka bude záporný 16, protože směr I_D je opačný, než je udáno na obrázku. Jak silně stoupne kolektorový proud, závisí na řídícím napětí U_{GS}, protože jeho velikost určuje hloubku proudového kanálu.

Činnost obohacovacího typu MOSFETu s kanálem N je analogická s tím, že polarity proudů a napětí budou opačné (kladné) a šipka ve schematické značce bude mít opačný směr.

4.2.2 Technologie PMOS

U obvodů PMOS (Positive Metal Oxid Semiconductor) je základním prvkem unipolární tranzistor MOS s kanálem typu P, což např. u pamětí PMOS poskytuje dobu přístupu 1 až 5 μs.

MOS tranzistor v zapojení se společným emitorem lze samozřejmě použít jako invertor, a to spojením tranzistoru s odporovou zátěží, jak je znázorněno na obrázku 17. Avšak z hlediska jednoduchosti technologie výroby je mnohem jednodužší realizovat zátěž pomocí dalšího tranzistoru MOS, jehož elektroda G je na pevném napětí U_G, které může být menší nebo rovno napětí zdroje E.

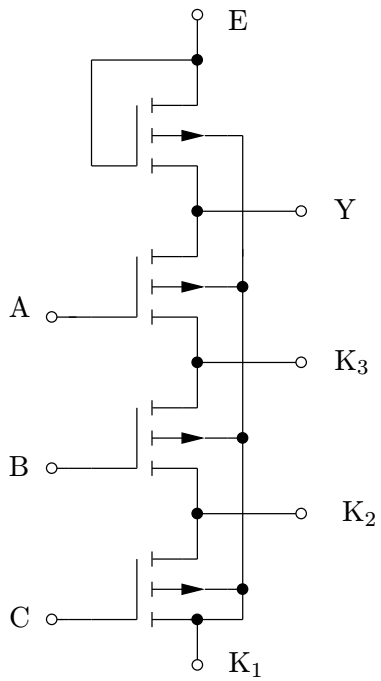


Obrázek 17: PMOS invertor [20, kap. 4.7]

Sériovým zapojením takovýchto členů pak dostaneme realizaci funkce NAND a paralelním zapojením realizaci funkce NOR.

Na obrázku 18 je univerzální logický člen, provedený technikou MOS s kanálem P. Spojíme-li svorku K_1 se zemí, jsou tři tranzistory zapojeny v sérii, takže na výstupu Y bude hodnota logická 0 jen tehdy, jestliže všechny tři tranzistory budou vybuzeny, tj. vznikl logický člen NAND.

Spojíme-li svorku K_2 s Y a svorky K_1 a K_3 se zemí, zapojíme tři tranzistory paralelně. Na výstupu Y bude hodnota logická 0, jestliže bude vybuzen alespoň jeden ze tří tranzistorů, tj. vznikl logický člen NOR.



Obrázek 18: Univerzální logický člen technologie PMOS [8, str. 111]

Díky tomu, že jsou tranzistory řízeny elektrickým polem a nikoliv elektrickým proudem jako u technologie TTL, jsou u nich značně redukovány nároky na spotřebu elektrické energie. Avšak vzhledem k nízkým rychlostem spínání a špatné slučitelnosti s TTL obvody (napájecí napětí jsou záporná -10 V až -30 V a pracuje se tedy se zápornou logiku) se tato technologie téměř nepoužívá. Její použití je typické jen u první generace mikroprocesorů a jejich pamětí.

4.2.3 Technologie NMOS

Obvody NMOS (Negative Metal Oxid Semiconductor) jsou analogií obvodů PMOS, avšak jejich základním prvkem je unipolární tranzistor MOS s kanálem typu N, který je díky pohyblivějším nosičům náboje v principu asi třikrát rychlejší než tranzistor MOS s kanálem typu P.

Zvětšování integrace a s tím spojeno zmenšování rozměrů, parazitních kapacit a vzdáleností velmi brzy vedlo ke zvyšování rychlosti obvodů a to mnohonásobně ve srovnání s existujícími obvody PMOS. Uvážíme-li navíc snadnou slučitelnost s obvody TTL a je-

diné napájecí napětí ($+5\ V$), je jasné, proč je technologie NMOS dnes základní a proč je výchozí i pro mnohé další výrobní postupy. Tato technologie byla použita pro výrobu mikroprocesorů 2. a 3. generace a pro výrobu velkokapacitních RWM a ROM.

4.2.4 Technologie HMOS, HMOSII a HMOSIII

Na základě zkušeností s technologií NMOS byly nejprve u firmy Intel vyvinuty dokonalejší výrobní postupy označované HMOS (High performance MOS). Další firmy pak zavedly obdobné technologie označované X-MOS (National Semiconductor), S-MOS (Texas Instruments), Poly Planar (Advanced Micro Devices) a jen Motorola zachovala původní název HMOS. V zásadě však ve všech případech jde o hluboce propracovanou technologii NMOS se zjemněnou strukturou obvodů i spojů.

Všechny jsou založeny na skutečnosti, že součin zpoždění a ztrátového výkonu (který obecně charakterizuje integrovaný obvod) je přibližně úměrný třetí mocnině rozměru základní struktury. To znamená, že při zachování ztrátového výkonu lze zmenšením struktury o 50% dosáhnout osminásobného zrychlení činnosti nebo při stejné rychlosti se může osmkrát zmenšit energetický rozptyl.

Technologie HMOS tedy nevychází ze scela nových principů a zapojení, ale z proporcionálního zmenšení geometrických rozměrů tranzistorů s křemíkovou řídící elektrodou stejným faktorem S. Upravuje se zejména délka kanálu, tloušťka oxidové vrstvy řídící elektrody, hloubka difuze, překrývání elektrod, tloušťky a rozteče spojů a také úroveň dotace příměsemi. Tím dochází k lepšímu využití substrátu, ke snížení kapacit i příkonu a hlavně ke zvýšení rychlosti obvodů. Typické zpoždění jednoho členu se tak oproti NMOS snižuje na $1\ ns$.

Existují však i nepříznivé vedlejší efekty, jako zvyšování intenzity elektrického pole při stejném napájecím napětí, pronikání elektronů do řídící elektrody, podpovrchové průrazy a jiné další nepříznivé vlastnosti, které snižují spolehlivost výrobků.

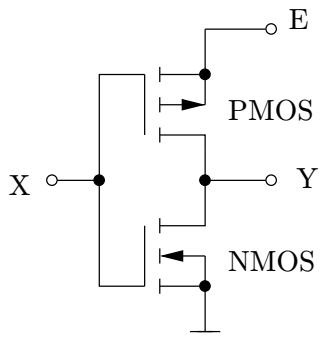
Některé z těchto potíží by bylo možné potlačit snížením napájecího napětí ze standartních $5\ V$ na asi $3\ V$. To je však nežádoucí, a tak se u zdokonalených technologií HMOSII a HMOSIII problémy řeší tím, že se některé parametry neupravují faktorem S, ale faktorem a.S, získaným náročnými optimalizačními výpočty. U technologie HMOSII se tak zpoždění logického členu redukuje na $0,4\ ns$ a u HMOSIII až na $0,2\ ns$.

Největší zábranou v uplatňování metody redukce rozměrů však je, že faktory S příznivě působí jen na tranzistory, zatímco na pasivní prvky, tj. spojovací vodiče na čipu, působí záporně. Se zmenšováním jejich rozměrů se totiž zvětšuje přenosové zpoždění a proudová hustota lineárně a odpor vodiče dokonce kvadraticky. Proudová hustota u hliníkových vodičů dnešních obvodů dosahuje stupně, kdy vlivem migrace atomů z kovů začnou být spoje nespolehlivé.

Technologie HMOS i její vylepšené varianty se uplatňují při výrobě monolitických mikroprocesorů s desítkama tisíc až půl milionem tranzistorů na čipu (mikropracesory 3. generace) a také pro výrobu moderních pamětí RWM–RAM.

4.2.5 Technologie CMOS

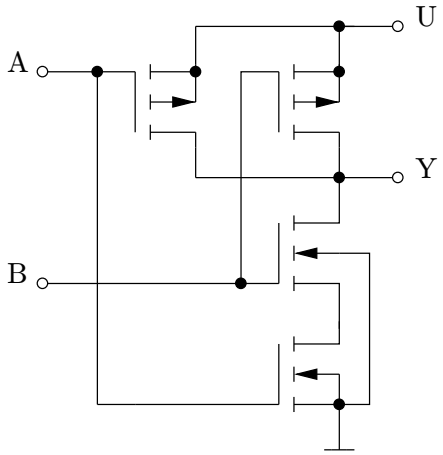
CMOS (Complementary MOS) je technologie, která vychází z použití obou tranzistorů NMOS i PMOS. Oba druhy tranzistorů MOS jsou obohacovacího typu a střídají se ve funkci řízeného zatěžovacího rezistoru MOS a spínacího tranzistoru.



Obrázek 19: Zapojení invertoru technologie CMOS [4, str. 182]

Funkce invertoru je patrná z obrázku 19. Při signálu logické 1 na vstupu X (kladná logika) je vodivý (zapnutý) tranzistor NMOS a tranzistor PMOS je vypnutý. Na výstupu Y je logická 0. Při úrovni logické 0 na vstupu X je tranzistor PMOS zapnutý (vodivý) a tranzistor NMOS je vypnutý. Na výstupu Y je úroveň logické 1.

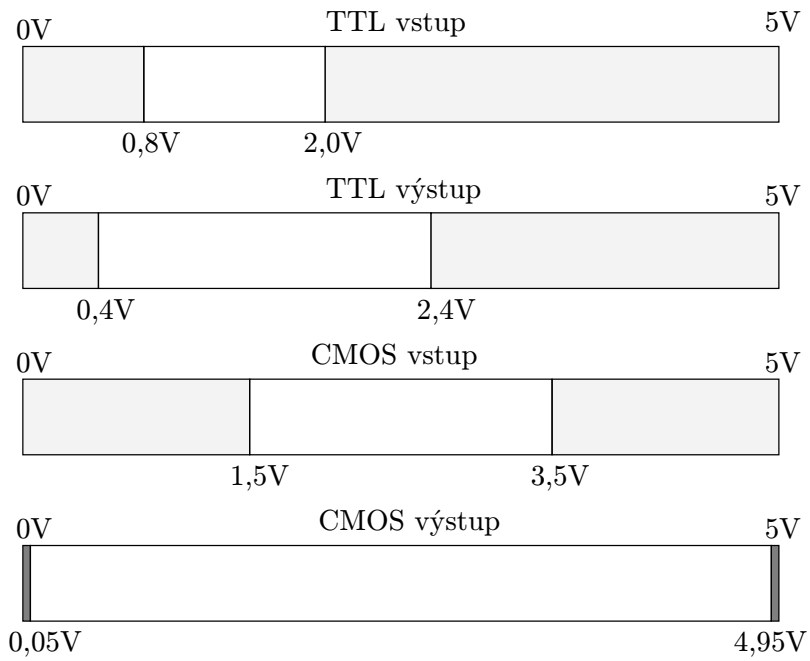
Tedy tranzistory fungují jako spínače, které přepínají výstup buď na napájecí napětí E nebo k zemi. Takže pokud nezatěžujeme výstup takového obvodu, je jeho spotřeba v klidovém stavu prakticky nulová. Výstup obvodu má relativně malou impedanci v obou stavech (řádově stovky ohmů), což umožňuje propojovat jednotlivá pouzdra s obvody běžnou technikou tištěných spojů.



Obrázek 20: Zapojení členu NAND technologie CMOS [4, str. 205]

Při vytváření logických členů NOR a NAND je nutná celá komplementární dvojice NMOS a PMOS pro každý spínač. Na obrázku 20 je ukázka logického členu NAND.

Obvody CMOS mají vysoký vstupní odpor a narozdíl od TTL obvodů, které mají napájecí napětí jednoznačně určeno $+5\ V$, obvody CMOS mohou mít napájecí napětí v rozmezí 3–16V. Nejčastěji se však používá takové napájecí napětí aby mohly být plně slučitelné s obvody TTL. Jednotlivé napěťové úrovně jsou zachyceny na obrázku 21.



Obrázek 21: Napěťové úrovně CMOS ve srovnání s TTL [1, str. 5]

Extrémně nízký příkon, dobrá šumová imunita (45 % napájecího napětí), slučitelnost s obvody TTL, široké rozmezí napájecího napětí, velký rozsah pracovních teplot a velký logický zisk, umožnili obvodům CMOS ovládnutí trhu a vytvoření tak velké rodiny této technologie, jak je ukázáno v tabulce 6. Tyto obvody se používají pro výrobu monolitických mikroprocesorů, pamětí a dalších prvků obvodů LSI, VLSI a ULSI, ale i pro výrobu logických členů obvodů SSI a MSI.

Obvody CMOS mají však i některé negativní vlastnosti. V prvé řadě nelze kterýkoliv vstup nechat nezapojený, ale je nutno jej nejlépe přes odpor 10Ω až 100Ω připojit na zem či na napájecí napětí. Další nepříjemnou vlastností je to, že tyto obvody jsou velice citlivé na statickou elektřinu. Proto je nutné CMOS obvody skladovat a přepravovat v antistatických obalech, nedotýkat se vývodů rukou (popřípadě se trvale uzemnit), dále nelze používat pistolovou páječku při opravách desek osazených obvody CMOS a při opravárenské činnosti zajistit, aby všechny přístroje a pomůcky byly na stejném potenciálu.

Ale i přes tyto negativní vlastnosti technologie CMOS jednoznačně vyhrávají a to hlavně díky možnostem vysoké integrace a nejnižšího příkonu ze všech dosud probraných technologií, jejichž srovnání je uvedeno v tabulce 7.

4.2.6 Technologie SOS a SOI

SOS (Silicon On Sapphire) je označení celé skupiny technologií, které vycházejí z toho, že základem čipu je destička syntetického safíru. Na safír, který má stejnou krystalickou strukturu i teplotní roztažnost jako křemík, ale nižší permitivitu, se pak nechává epitaxně narůstat tenká vrstva křemíku a na ní se realizují spínací prvky s hustotou až čtyřikrát větší než u obvyklé technologie CMOS.

značení obvodů	stručný popis	zpoždění	příkon
CD4000	CMOS s nízkou spotřebou	95 ns	10 nW
74C	CMOS slučitelné s TTL	50 ns	10 nW
74HC	CMOS s vysokou rychlostí	18 ns	600 μW
74HCT	74HC slučitelné s TTL	18 ns	600 μW
74AC	Advanced CMOS	5 ns	750 μW
74ACT	74AC slučitelná s TTL	5 ns	750 μW
74FCT	Fast CMOS slučitená s TTL	5 ns	100 μW

Tabulka 6: Srovnání vlastností rodiny technologie CMOS [17]

pozice	rychlost	hustota integrace	příkon
1	ECL(velká)	I^2L (vysoká)	I^2L (nízký)
2	TTL	HMOS	CMOS
3	HMOS	NMOS	NMOS
4	NMOS	CMOS	HMOS
5	I^2L	TTL	TTL
6	CMOS (nízká)	ECL (nízká)	ECL (vysoký)

Tabulka 7: Porovnání vlastností bipolárních a unipolárních technologií

Hlavní předností safírové podložky je zmenšení parazitních kapacit až třikrát, a tím potlačení parazitních vazeb i dosažení vysokých spínacích rychlostí srovnatelných s parametry bipolárních obvodů. Spolu s vysokým dosažitelným stupněm integrace to technologii SOS předurčuje pro výrobu rychlých velkokapacitních pamětí a výkonných mikroprocesorů.

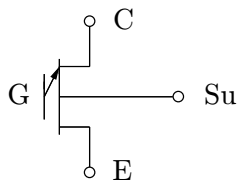
I když mikroprocesory a paměti RWM vyvinuté např. u firmy Hawlett Packard technologií SOS mají vynikající vlastnosti, brání jejich rozšíření vysoká cena safíru. Ta je totiž asi pětkrát vyšší než cena křemíku, a proto se začla vyvíjet nová technologie SOI (Silicon On Insulator). U této technologie je izolantem křemíková destička pokrytá oxidem křemičitým (SiO_2), na němž se vytvoří ostrůvky polovodičových struktur, které jsou od sebe dokonale izolované. Protože SiO_2 je dobrý izolant a jeho výroba je poměrně jednoduchá (zahříváním křemíku v oxidační atmosféře), je tato technologie také nepoměrně levnější než SOS.

4.2.7 Technologie FAMOS

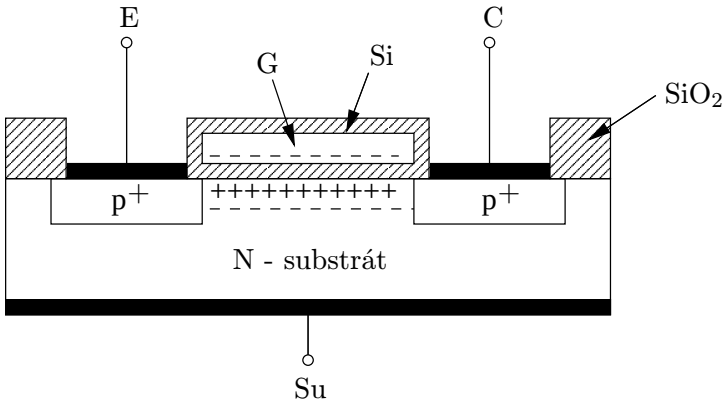
Technika plovoucího hradla (gate) s lavinovou injekcí nosičů - FAMOS (Floating–gate Avalanche–injection MOS), která vznikla u firmy Intel, je nejrozšířenější technologií pro výrobu elektricky programovatelných pamětí EPROM.

Základem paměťové buňky je tranzistor MOS s řídící elektrodou (hradlem z polykristalického křemíku), která není k ničemu připojena, neboť je ze všech stran izolována oxidem křemičitým.

Jeho struktura a schématická značka jsou patrné z obrázků 23 a 22. Paměťová funkce spočívá v tomto ději: V klidovém stavu je dráha mezi emitorem E a kolektorem C ne-



Obrázek 22: Schematická značka FAMOS [10, str. 78]



Obrázek 23: Struktura elementární buňky FAMOS při nabitém stavu [10, str. 78]

vodivá, takže FAMOS je ve vypnutém stavu. Zvyšováním napětí mezi kolektorem C a emitorem E až na kriticou hranici dojde u závěrně polarizovaného přechodu p^+N k lavinovému průrazu[5]. Injekcí elektronů při tomto lavinovém průrazu proniknou elektrony s velkou energií (tzv. horké nosiče) ionizační vrstvou SiO_2 do křemíkové desky (hradlo G) a nabijí ji záporně. Tento pochod se nazývá zápis informace a trvá asi 1 ms. Po nabití izolovaného hradla G se pod ním, v substrátu, indukuje kanál P a tranzistor je ve vodivém (zapnutém) stavu. Nabíjecí proud je řádově 10^{-7} A. Kritické (prahové) napětí, při němž nastane nedestrukční lavinový průraz, bývá -30 V až -50 V.

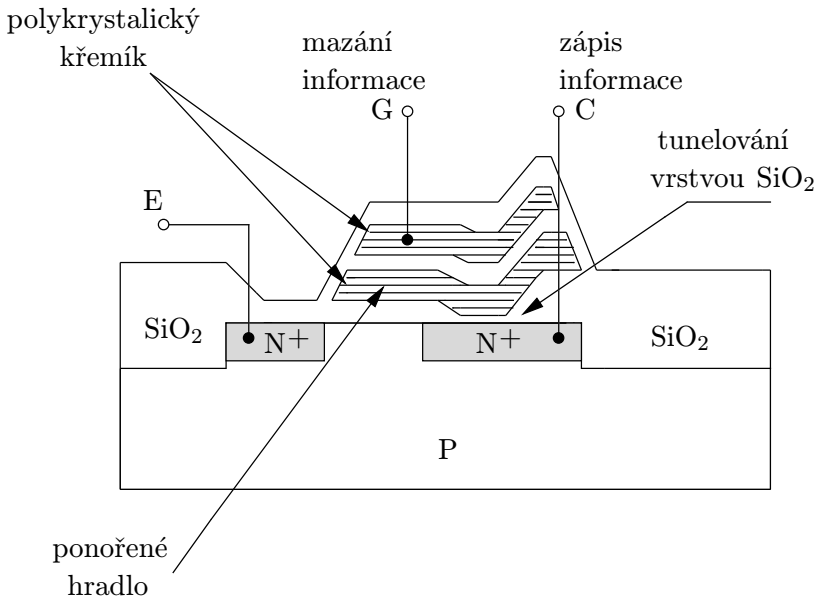
Tento stav trvá velmi dlouho, neboť křemíkové hradlo G je dokonale izolováno vrstvou SiO_2. Teprve po deseti letech by nabití hradla při stálé teplotě kleslo na 70 procent. Bez působení záření je tedy časová konstanta rozptylu náboje z hradla teoreticky větší než sto let. V praktických provozních podmínkách však musíme počítat s dobou udržení informace asi deset let, neboť procesy při opakovaném čtení z paměťové buňky přispívají ke změně náboje nenabitého hradla.

Vodivý stav tranzistoru nelze zrušit elektrickými prostředky, ale křemíkové záporně nabité hradlo G lze vybít ozářením utrafialovým světlem. Nejčastěji se při mazání informace z pamětí působí na čip ultrafialovým ionizujícím zářením o vlnové délce kolem 253 μm. Elektrony v ozářené řídící elektrodě absorbují fotony záření a získávají dosta-

[5] Jedná se o jeden z lavinových jevů, což je vlastně nárazová ionizace neutrálních atomů polovodiče, při kterém vzniká generace párů volných nosičů náboje elektron – díra. Tyto volné nosiče vyvolávají generaci dalších volných nosičů, která se šíří lavinově a odtud pochází název. Tento jev vzniká např. působením silného elektrického pole na závěrně polarizovaný přechod PN, což je náš případ.

tečnou energii k překonání bariéry v opačném směru. Potenciály hradla a emitoru se tak vyrovnávají, zruší (vymaže) se obsah paměti FAMOS a tranzistor FAMOS se uvede do původního vypnutého (nevodivého) stavu. Tím je paměť opět připravena k dalšímu programování.

Při každém mazání informace ozářením dochází k mírné degradaci parametrů paměťové buňky FAMOS. Pokud však je mazání šetrné (např. studeným utrafialovým zářením), nevybočí parametry pamětí EPROM z tolerancí ani po několika desítkách cyklů mazání–programování.



Obrázek 24: Struktura elementární buňky FLOTOX [10, str. 84]

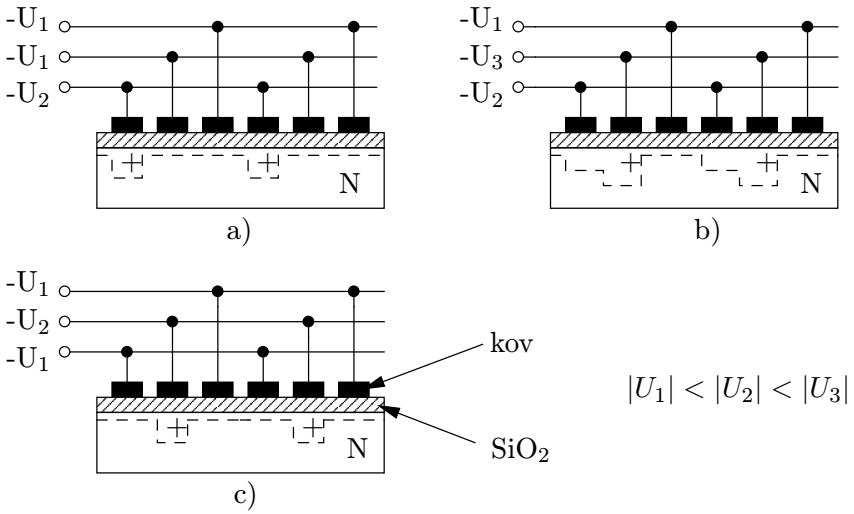
4.2.8 Technologie FLOTOX

Paměťová polovodičová struktura FLOTOX (FLOating–gate Tunnel OXide cell), která je modifikací technologie FAMOS, je používána pro tvorbu paměťových buněk mikroelektronických vymazatelných a programovatelných pevných pamětí EEPROM (Electrically Erasable and Programmable ROM).

Zápis i mazáním paměťové buňky FLOTOX 24 se děje tunelováním nosičů náboje do ponořeného hradla nebo z něj. Pro zápis i mazání se zde využívá Fowlerův–Nordheimův tunelovací jev, který je obousměrný a směr závisí na směru elektrického pole (elektrony tunelují buď do ponořeného hradla nebo z něj). Pro zápis nebo mazání je třeba impuls napětí 21 V po dobu 10 ms. Spínací činnost paměťové buňky je obdobná jako činnost buněk FAMOS. Doba uchování informace v buňce FLOTOX je nejméně 10 let.

Při dalším rozvoji těchto technologií se uplatňují stejné myšlenky zjemňování struktury čipů, jako u přechodu od klasické technologie NMOS k technologii HMOS. Výsledkem je technologie HMOS–E pro výrobu pamětí EPROM a EEPROM firmy Intel.

4.2.9 Technologie CCD



Obrázek 25: Trojfázový systém CCD, a) nahromadění náboje pod elektrodami 1 a 4, b) přesun náboje pod 2 a 5, c) nahromadění náboje pod 2 a 5 [10, str. 34]

Pro součástky vyrobené technologií CCD (Chrage Coupled Devices) není typická zesilovací činnost základních obvodových členů, ale přenos náboje na parazitních kapacitách soustavou elektrod vytvořených na strukturách MOS.

Křemíková destička Si, např. typu N, je pokryta vrstvou oxidu křemičitého SiO_2. Na tuto vrstvu jsou nasazeny systémy kovových elektrod, buď pro dvoufázový nebo trojfázový systém. Ukázka trojfázového systému je na obrázku 25. Přivedením elektrického záporného napětí na kovové elektrody se pod nimi indukuje oblast kladného náboje, která se zvyšováním (resp. snižováním) záporného napětí na elektrodách zvětšuje (resp. zmenšuje). Indukovaný kladný náboj v polovodiči N lze pak posouvat rozdílem potenciálu sousedních elektrod. Náboj indukovaný v polovodiči může setrvávat na místě až 1 s, dokud minoritní nosiče nezrekombinují[6]. Účinnost přenosu náboje z místa na místo závisí na vzdálenosti elektrod a také na použité technologii.

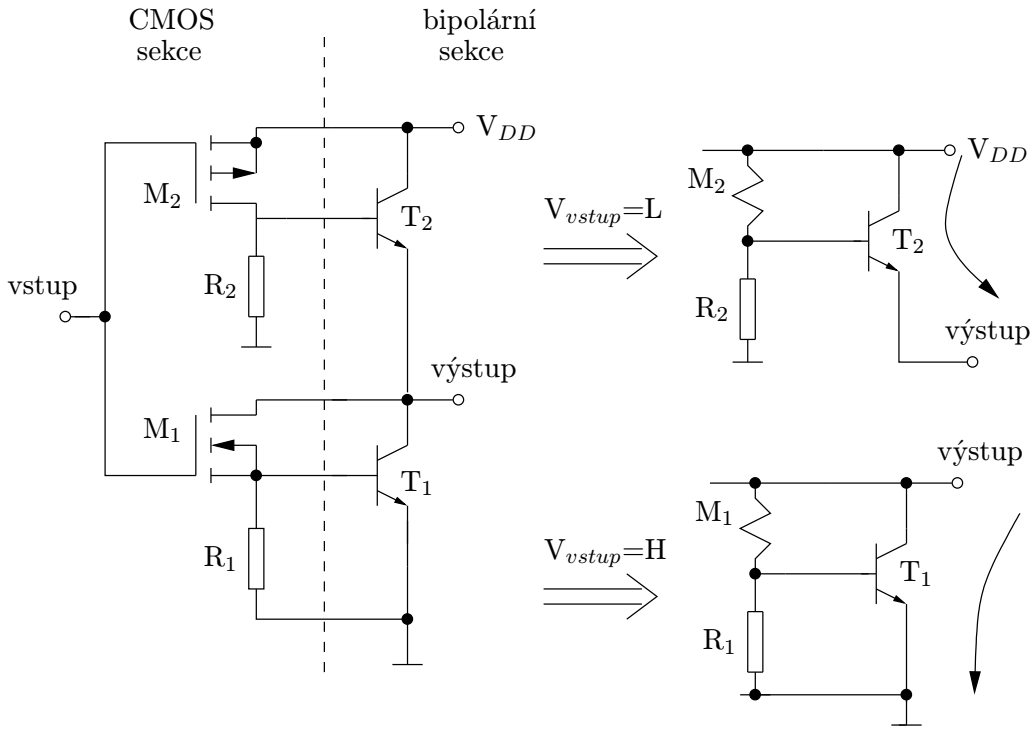
Na tomto principu jsou založeny dvoufázové a trojfázové systémy CCD, které mohou vytvářet posuvné registry apod. Takovéto posuvné registry se vyrábějí, ale sekvenční paměti z nich vyrobené nejsou energeticky nezávislé, proto se v mikropočítačové technice neuplatňují. Součástky CCD mají rozsáhlejší použití v analogové technice jako paměti ve snímačích obrazu pro televizi a v monolitických plochých displejích, kde jsou zviditelněny jejich výhody, jako je malá spotřeba energie a malé rozměry.

4.3 Technologie BiCMOS

V posledních letech lepší technologické postupy umožnily zkombinovat tranzistory MOS a bipolární zařízení v jedné struktuře za rozumnou cenu. Tím vznikla technologie BiCMOS

[6]Rekombinace nosičů je zánik páru elektron – díra (jako volných nosičů náboje) při jejich setkání.

(Bipolar CMOS). Tato technologie přinesla spoustu nových možností, protože je nyní možné kombinovat vysokou hustotu integrace unipolární technologie se schopnostmi bipolárních tranzistorů řídit proud.

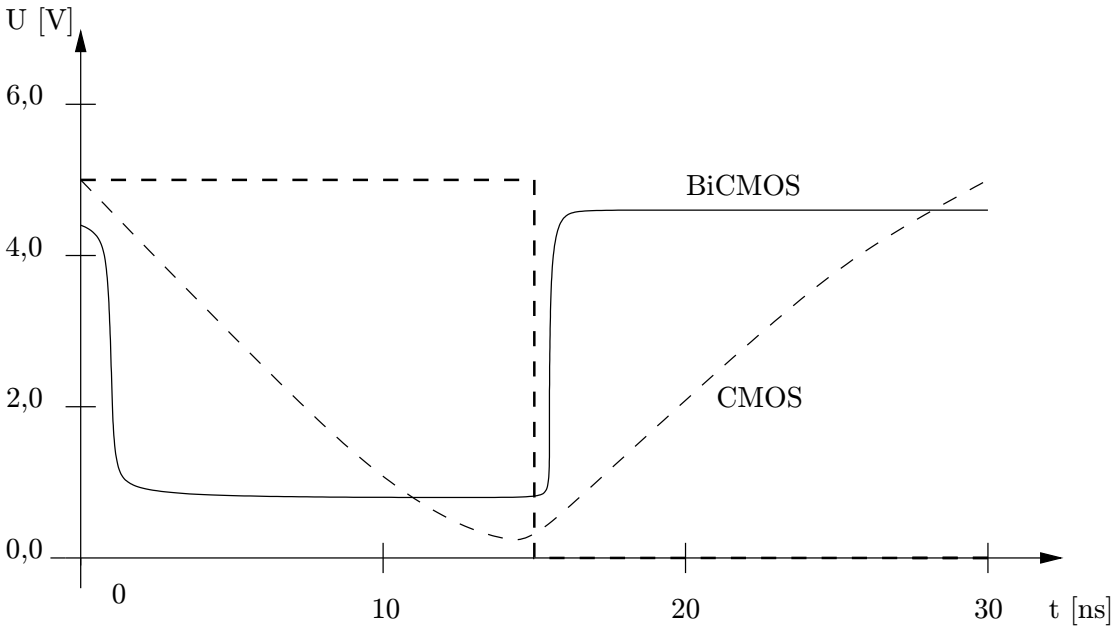


Obrázek 26: BiCMOS invertor [15, str. 3]

Základní zapojení invertoru technologie BiCMOS je na obrázku 26. Pokud je na vstupu úroveň logické 1, NMOS tranzistor M_1 je vodivý a způsobí tak otevření tranzistoru T_1, zatímco tranzistory M_2 a T_2 jsou uzavřeny a na výstupu se tak objeví úroveň logické 0. Na druhé straně úroveň logické 0 na vstupu způsobí otevření tranzistoru M_2 a T_2, zatím co tranzistory M_1 a T_1 budou uzavřeny a na výstupu bude úroveň logické 1. Tedy v ustáleném stavu nejsou nikdy otevřeny oba tranzistory T_1 a T_2 současně, čímž se udržuje nízký příkon obvodu.

Pozorný čtenář si jistě všimnul podobnosti mezi touto strukturou a bipolární technologií TTL. Obě totiž používají seriový dvojčiný stupeň. Jediným rozdílem je, že u technologie BiCMOS je vstupní část implementována na struktuře MOS, což umožňuje lepší výkon a vyšší vstupní impedanci.

Odpory R_1 a R_2 jsou tady nezbytné pro odvedení náboje z bipolárních tranzistorů T_1 a T_2 při jejich uzavírání. Tyto odpory nejenom že zvyšují spínací rychlost, ale také mají pozitivní vliv na spotřebu proudu. Při přepnutí z úrovně L na H a naopak existuje totiž krátká doba, kdy jsou oba tranzistory otevřeny a vytvoří se dočasné spojení mezi zemí a napájecím napětím V_{DD}. Takováto napěťová špička má pak vliv jak na spotřebu, tak na kolísání signálu.



Obrázek 27: Průběh napětí při přepnutí z logické 1 na logickou 0 [15, str. 11]

Tranzistory T_1 a T_2 navíc nepracují v oblasti saturace, čímž se odvedení náboje z tranzistoru při přepnutí logické úrovně ještě více zrychlí a průběh napětí na členu, znázorněný na obrázku 27, je téměř dokonalý oproti technologii CMOS.

	vstup	výstup
H_{min}	3,6 V	4,6 V
L_{max}	1,9 V	0,05 V

Tabulka 8: Napěťové úrovně technologie BiCMOS [15, str. 6]

Technologie BiCMOS vykazuje také solidní rychlosti při velkých kapacitních zátěžích oproti technologii CMOS, což je výhoda např. u pamětí, kde se může vyskytnout neočekávaný vyšší odběr z výstupu. Co se týče odběru proudu, funguje invertor BiCMOS stejným způsobem jako invertor technologie CMOS. U obou technologií není v ustáleném stavu téměř žádná spotřeba, ale při spínání dochází ke ztrátám. Tento faktor je při malé kapacitní zátěži o málo větší u BiCMOS, díky složitějšímu propojení uvnitř obvodu. Při velké kapacitní zátěži je však příznivější spotřeba technologie BiCMOS. Dobrých spínacích rychlostí při kapacitních zátěžích lze samozřejmě dosáhnout i u technologi CMOS, ale obvody jsou mnohem složitější, dražší a mají obyčejně větší spotřebu. I tak, ale zůstává otázkou, která z těchto dvou technologií je výhodnější.

Napěťové úrovně jsou uvedeny v tabulce 8. Napájecí napětí je 5 V. Díky těmto vynikajícím vlastnostnem je BiCMOS vhodná pro konstrukci pamětí a mikroprocesorů.

5 Literatura

[1] ALCAITORE D., HISTAND M. *Introduction to Mechatronics and Measurements Systems* [online]. [cit. 2004-02-19]. Dostupné z: <http://www.engr.colostate.edu/~dga/mechatronics/chapter_summaries/ch_6_digital_summary.pdf> .

[2] AYERS, J. *Digital integrated circuits* [online]. [cit. 2004-03-13]. Dostupné z: <http://people.deas.harvard.edu/~jones/ es154/lectures/lecture_7/pdfs/215ln04.pdf>.

[3] AYERS, J. *Digital integrated circuits* [online]. [cit. 2004-03-13]. Dostupné z: <http://people.deas.harvard.edu/~jones/ es154/lectures/lecture_7/pdfs/215ln05.pdf>.

[4] AYERS, J. *Digital integrated circuits* [online]. [cit. 2004-03-13]. Dostupné z: <http://people.deas.harvard.edu/~jones/ es154/lectures/lecture_7/pdfs/215ln08.pdf>.

[5] BRZOBOHATÝ, J. MATĚJKA, F. *Technologie mikroelektronických obvodů.* 1. vyd. Brno: VUT, 1984. 238 s. ISBN 55-612-84.

[6] ČERNOCH, B. SYROVÁTKO, M. *Zapojení s integrovanými obvody.* 3. vyd. Praha: SNTL, 1987. 416 s. ISBN *O*4-509-87.

[7] EDEFORS, L. *Digital Electronics* [online]. [cit. 2004-01-05]. Dostupné z: <http://www.ce.chalmers.se/ undergraduate/D/EDA405/forelasning/fo1.pdf>.

[8] FRISH, H. *Základy elektroniky a elektronických obvodů.* 1. vyd. Praha: SNTL, 1987. 320 s. ISBN O4-502-87.

[9] HALL, S. WAINWRIGHT, S. *Analysis of Si:Ge Heterojunction Integrated Injection* [online]. [cit. 2004-02-01]. Dostupné z: <http://eprints.ecs.soton.ac.uk/ archive/00000918/01/1998_Wainwright_I2L.pdf>.

[10] KLÍMEK, A. ZÍKA, J. *Malá encyklopedie elektrotechniky.* 2. vyd. Praha: SNTL, 1989. 456 s. ISBN O4-518-89.

[11] KROULÍK, J. *Logické členy* [online]. [cit. 2004-03-13]. Dostupné z: <http://www.bigweb.cz/tvyf>.

[12] KUSALA, J. *Miniencyklopedie* [online]. [cit. 2004-02-19]. Dostupné z: <http://www.cez.cz/encyklopedie_html/fyz9.htm>.

[13] MINIBERGER B. *Monolitické integrované obvody.* 1. vyd. VA AZ, 1971. 69 s.

[14] *Počítače XT/AT* 1 vyd. Praha: Kancelářské stroje, 1989.

[15] RABAEY, J. *The BiCMOS approach* [online]. [cit. 2004-01-25]. Dostupné z: <http://bwrc.eecs.berkeley.edu/IcBook/ AdditionalMaterial/bicmos.pdf>.

[16] RINNE, K. *Advanced Digital Systems Design* [online]. [cit. 2004-02-21]. Dostupné z: <http://www.ul.ie/~rinne/ee6471/ee6471%20wk2.pdf>.

[17] STURM, T. *Chip Technology Comparison* [online]. [cit. 2004-02-06]. Dostupné z: <http://courseweb.stthomas.edu/ tpsturm/private/notes/qm340/chiptech.html>.

[18] SUCHÁNEK V. *Dioda, tranzistor a tyristor názorně*. 2. vyd. Praha: SNTL, 1983. ISBN 04-502-83.

[19] THE NOBEL FOUNDATION. *The History of the Integrated Circuit* [online]. [cit. 2004-03-03]. Dostupné z: <http://www.nobel.se/physics/educational/integrated_circuit/ history/>.

[20] TICHÝ, M. *Elektronika* [online]. [cit. 2003-12-27]. Dostupné z: <http://lucy.troja.mff.cuni.cz/~tichy/>.

[21] VALÁŠEK, P. *Monolitické mikroprocesory a mokropočítače*. 1. vyd. Praha: SNTL, 1989. 464 s. ISBN 80-03-00056-4.

[22] VLČEK, J. *Základy elektroniky* [online]. [cit. 2004-02-24]. Dostupné z: <http://www.anima.sk/vlcek/ vlcek_ zaklady_ elektroniky4.doc>.